

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

日本国特許庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

#3 / priority
paper
2-4-02
restyle

出願年月日

Date of Application:

2000年10月10日

出願番号

Application Number:

特願2000-309764

出願人

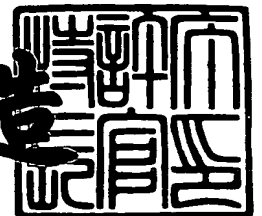
Applicant(s):

株式会社東芝

2001年 8月17日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3073743

【書類名】 特許願

【整理番号】 A000006003

【提出日】 平成12年10月10日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明の名称】 半導体装置

【請求項の数】 22

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 杉崎 吉昭

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プールの可否】 要

【書類名】 明細書
【発明の名称】 半導体装置
【特許請求の範囲】

【請求項 1】 半導体素子が形成された第 1 の半導体チップと、

上記第 1 の半導体チップにおける半導体素子の形成面側に設けられ、当該半導体素子に電氣的に接続された第 1 の接続端子と、

上記第 1 の半導体チップを貫通する貫通穴内に埋設された導電性部材と、

上記第 1 の半導体チップにおける半導体素子の形成面の裏面側に設けられ、上記導電性部材を介して上記半導体素子に電氣的に接続された第 2 の接続端子と、

上記第 1 の半導体チップが搭載される配線基板と、

少なくとも一部が上記配線基板における、上記第 1 の接続端子及び第 2 の接続端子のいずれか一方に対応する位置に形成され、第 1 の接続端子または第 2 の接続端子に電氣的に接続される第 3 の接続端子と

を具備することを特徴とする半導体装置。

【請求項 2】 半導体素子が形成された第 1 の半導体チップと、

上記第 1 の半導体チップにおける半導体素子の形成面側に設けられ、当該半導体素子に電氣的に接続された第 1 の接続端子と、

上記第 1 の半導体チップを貫通する貫通穴内に埋設された導電性部材と、

上記第 1 の半導体チップにおける半導体素子の形成面の裏面側に設けられ、上記導電性部材を介して上記半導体素子に電氣的に接続された第 2 の接続端子と、

上記第 1 の半導体チップが搭載され、上記第 1 の接続端子及び第 2 の接続端子のうちの一方に対向する位置にあって、少なくとも一部が電氣的に接続されているリードフレームと、

上記リードフレームのインナーリード部及び上記第 1 の半導体チップを封止するパッケージと

を具備することを特徴とする半導体装置。

【請求項 3】 半導体素子が形成された第 1 の半導体チップと、

上記第 1 の半導体チップにおける半導体素子の形成面側に設けられ、当該半導体素子に電氣的に接続された第 1 の接続端子と、

上記第 1 の半導体チップを貫通する貫通穴内に埋設された導電性部材と、

上記第 1 の半導体チップにおける半導体素子の形成面の裏面側に設けられ、上記導電性部材を介して上記半導体素子に電氣的に接続された第 2 の接続端子とを具備し、

上記第 1 の接続端子あるいは第 2 の接続端子を、実装基板に接続して実装することを特徴とする半導体装置。

【請求項 4】 半導体素子が形成された半導体チップと、

上記半導体チップにおける半導体素子の形成面側に設けられ、当該半導体素子に電氣的に接続された複数の第 1 の接続端子と、

上記半導体チップを貫通する複数の貫通穴内にそれぞれ埋設された導電性部材と、

上記半導体チップにおける半導体素子の形成面の裏面側に設けられ、上記導電性部材を介して上記半導体素子に電氣的に接続された複数の第 2 の接続端子とを具備し、

上記複数の第 1 の接続端子を配置する平均密度を、上記複数の第 2 の接続端子を配置する平均密度よりも高くしたことを特徴とする半導体装置。

【請求項 5】 半導体素子が形成された半導体チップと、

上記半導体チップにおける半導体素子の形成面側に設けられ、当該半導体素子に電氣的に接続された第 1 の接続端子と、

上記半導体チップを貫通した貫通穴内に埋設された導電性部材と、

上記半導体チップにおける半導体素子の形成面の裏面側に設けられ、上記導電性部材を介して上記半導体素子に電氣的に接続された第 2 の接続端子とを具備し、

上記第 1 の接続端子あるいは第 2 の接続端子の少なくともいずれか一方の一部を、上記半導体チップの全域に分散配置するとともに、電源電位あるいはグランド電位を印加することを特徴とする半導体装置。

【請求項 6】 前記第 1 の半導体チップにおける前記第 1 の接続端子あるいは第 2 の接続端子のうち、前記配線基板との対向接続に用いなかった方の接続端子の少なくとも一部と、前記配線基板上に形成された前記第 3 の接続端子とを接

続するボンディングワイヤーを更に具備することを特徴とする請求項 1 に記載の半導体装置。

【請求項 7】 前記第 1 の半導体チップにおける第 1 の接続端子あるいは第 2 の接続端子のうち、リードフレームとの対向接続に用いなかった方の接続端子の少なくとも一部と、前記リードフレームのインナーリード部とを接続するボンディングワイヤーと、前記リードフレームのインナーリード部及び前記第 1 の半導体チップを封止するパッケージとを更に具備することを特徴とする請求項 2 に記載の半導体装置。

【請求項 8】 前記第 1 の半導体チップ上に積層される第 2 の半導体チップを更に具備し、前記第 1 の半導体チップにおける第 1 の接続端子あるいは第 2 の接続端子のうち、前記配線基板との対向接続に用いなかった方の接続端子の少なくとも一部を、上記第 2 の半導体チップに接続することを特徴とする請求項 1 に記載の半導体装置。

【請求項 9】 前記第 1 の半導体チップ上に積層される第 2 乃至第 n (n は 3 以上の正の整数) の半導体チップを更に具備し、前記第 1 の半導体チップにおける第 1 の接続端子あるいは第 2 の接続端子のうち、前記配線基板との対向接続に用いなかった方の接続端子の少なくとも一部を、上記第 2 乃至第 n の半導体チップに接続することを特徴とする請求項 1 に記載の半導体装置。

【請求項 10】 前記第 1 の半導体チップ上に積層される第 2 の半導体チップを更に具備し、前記第 1 の半導体チップにおける第 1 の接続端子あるいは第 2 の接続端子のうち、前記リードフレームとの対向接続に用いなかった方の接続端子の少なくとも一部を、上記第 2 の半導体チップに接続することを特徴とする請求項 2 に記載の半導体装置。

【請求項 11】 前記第 1 の半導体チップ上に積層される第 2 乃至第 n (n は 3 以上の正の整数) の半導体チップを更に具備し、前記第 1 の半導体チップにおける第 1 の接続端子あるいは第 2 の接続端子のうち、前記リードフレームとの対向接続に用いられなかった方の接続端子の少なくとも一部を、上記第 2 乃至第 n の半導体チップに接続することを特徴とする請求項 2 に記載の半導体装置。

【請求項 12】 前記第 1 の半導体チップ上に積層される第 2 の半導体チッ

ブを更に具備し、前記第 1 の半導体チップにおける第 1 の接続端子あるいは第 2 の接続端子を実装基板に実装し、これらの接続端子のうち、上記実装基板との外部接続に用いなかった方の接続端子の少なくとも一部を、上記第 2 の半導体チップに接続することを特徴とする請求項 3 に記載の半導体装置。

【請求項 1 3】 前記第 1 の半導体チップ上に積層される第 2 乃至第 n (n は 3 以上の正の整数) の半導体チップを更に具備し、前記第 1 の半導体チップにおける第 1 の接続端子あるいは第 2 の接続端子を実装基板に実装し、これらの接続端子のうち、上記実装基板との外部接続に用いなかった方の接続端子の少なくとも一部を、上記第 2 乃至第 n の半導体チップに接続することを特徴とする請求項 3 に記載の半導体装置。

【請求項 1 4】 前記積層される複数の半導体チップ間の少なくとも一部を接続するボンディングワイヤーを更に具備することを特徴とする請求項 8 乃至 1 3 いずれか 1 つの項に記載の半導体装置。

【請求項 1 5】 前記積層される複数の半導体チップ間の少なくとも一部を接続する導電性のバンプを更に具備することを特徴とする請求項 8 乃至 1 3 いずれか 1 つの項に記載の半導体装置。

【請求項 1 6】 前記複数の半導体チップのうち、少なくとも 2 つの隣り合った半導体チップ同士は、半導体素子の形成面同士を対向して接続することを特徴とする請求項 1 5 に記載の半導体装置。

【請求項 1 7】 半導体素子が形成された第 1 の半導体チップと、
上記第 1 の半導体チップにおける半導体素子の形成面側に設けられ、当該半導体素子に電氣的に接続された第 1 の接続端子と、

上記第 1 の半導体チップを貫通する貫通穴内に埋設された導電性部材と、

上記第 1 の半導体チップにおける半導体素子の形成面の裏面側に設けられ、上記導電性部材を介して上記半導体素子に電氣的に接続された第 2 の接続端子と、

上記第 1 の半導体チップに積層された第 2 の半導体チップと、

上記第 2 の半導体チップにおける半導体素子の形成面側のみに設けられた第 3 の接続端子とを具備し、

上記第 1 の半導体チップにおける第 1 の接続端子及び第 2 の接続端子のいずれ

か一方を、上記第 2 の半導体チップにおける第 3 の接続端子と対向する位置に設け、当該対向する接続端子同士を介して上記第 1 の半導体チップと第 2 の半導体チップを電氣的に接続したことを特徴とする半導体装置。

【請求項 1 8】 前記第 2 の半導体チップは、前記第 1 の半導体チップよりも厚いことを特徴とする請求項 1 7 に記載の半導体装置。

【請求項 1 9】 前記第 2 の半導体チップは、前記第 1 の半導体チップよりも大きいことを特徴とする請求項 1 7 または 1 8 に記載の半導体装置。

【請求項 2 0】 前記第 1 の半導体チップと第 2 の半導体チップとの間の接続点を含む隙間に設けられた充填樹脂を更に具備することを特徴とする請求項 1 7 乃至 1 9 のいずれか 1 つの項に記載の半導体装置。

【請求項 2 1】 半導体素子が形成された半導体チップと、
上記半導体チップにおける半導体素子の形成面側に設けられ、当該半導体素子に電氣的に接続された第 1 の接続端子と、

上記半導体チップを貫通する貫通穴内に埋設された導電性部材と、

上記半導体チップにおける半導体素子の形成面の裏面側に設けられ、上記導電性部材を介して上記半導体素子に電氣的に接続された第 2 の接続端子と、

上記半導体チップが搭載された配線基板と、

上記配線基板上に形成され、一部が上記半導体チップの第 1 の接続端子に対向する位置に配置され、上記半導体チップと電氣的に接続された第 3 の接続端子と

、
上記半導体チップにおける第 2 の接続端子のうちの少なくとも一部と、上記配線基板上に形成された上記第 3 の接続端子とを接続するボンディングワイヤーと

、
上記ボンディングワイヤーと上記半導体チップを含む配線基板の上面に設けられた封止樹脂と、

実装基板に接続するために、上記配線基板の上記半導体チップが搭載された面の裏面側に設けられ、上記第 3 の接続端子と電氣的に接続された第 4 の接続端子とを具備し、

上記第 1 の接続端子は、主に電源電位とグランド電位を印加するために用いら

れ、上記第 2 の接続端子は、主に信号系に用いられることを特徴とする半導体装置。

【請求項 2 2】 半導体素子が形成された半導体チップと、

上記半導体チップにおける半導体素子の形成面側の外周部に沿って設けられ、当該半導体素子に電氣的に接続された第 1 の接続端子と、

上記半導体チップの全域に分散して形成された貫通穴内にそれぞれ埋設された導電性部材と、

上記半導体チップにおける半導体素子の形成面の裏面側に設けられ、上記導電性部材をそれぞれ介して上記半導体素子に電氣的に接続された第 2 の接続端子と、

上記半導体チップが搭載された配線基板と、

上記半導体チップにおける第 2 の接続端子に対向する位置に形成され、上記半導体チップと電氣的に接続された第 3 の接続端子と、

上記半導体チップにおける第 1 の接続端子のうちの少なくとも一部と、上記配線基板上に形成された第 3 の接続端子とを接続するボンディングワイヤーと、

上記ボンディングワイヤーと上記半導体チップを含む配線基板の上面に設けられた封止樹脂と、

実装基板に接続するために、上記配線基板の上記半導体チップが搭載された面の裏面側に設けられ、上記第 3 の接続端子と電氣的に接続された第 4 の接続端子とを具備し、

上記第 2 の接続端子は、主に電源電位とグランド電位を印加するために用いられ、上記第 1 の接続端子は、主に信号系に用いられることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体チップに導電性部材を埋設した貫通穴を形成し、半導体素子の形成面側とその裏面側から配線を導出するパッケージ構造の半導体装置に関し、特に電源を強化した高性能半導体装置に好適なものである。

【 0 0 0 2 】

【従来の技術】

半導体集積回路の微細化に伴う電源電圧の低電圧化や、回路規模の増大による半導体チップサイズの増大が進むにつれ、半導体チップ内部での電圧降下の問題が顕在化してきている。その対策として、半導体チップ表面の全域に渡って接続端子を設け、多層配線基板にフェイスダウンで接続するフリップチップ構造のパッケージが主流となってきている。

【 0 0 0 3 】

図 2 9 は、上記のような従来の半導体装置の概略構成を示す断面図である。図 2 9 において、2 1 は半導体チップ、2 2 は半導体素子の形成面、2 3 は半導体素子の形成面 2 2 に設けた接続端子（導電性バンプ）、2 4 は微細配線基板である。半導体チップ 2 1 は、半導体素子の形成面 2 2 を下にして配置され、当該半導体チップ 2 1 中の半導体素子に電氣的に接続された導電性バンプ 2 3 により微細配線基板 2 4 上に搭載されている。この微細配線基板 2 4 は、樹脂等からなる絶縁性の基板 2 4 A の両面と内部にそれぞれ配線層（多層配線）2 4 B が形成されており、上記半導体チップ 2 1 の搭載面側には、上記バンプ 2 3 に対応する位置に配線層が形成されている。この配線層は、上記基板 2 4 A 中に設けられた配線層部を介して裏面側に導出され、実装基板に接続するための接続端子（導電性バンプ）2 5 に電氣的に接続されている。

【 0 0 0 4 】

しかしながら、上述したような構造の半導体装置を実現するためには、半導体チップ 2 1 に接続される多数の信号線を微細配線基板 2 4 中で引き回さなければならないため、微細なパターニングが必要となり、極めて高額なものになってしまっていた。

【 0 0 0 5 】

また、複数の半導体チップ間で高速に信号伝送するため、半導体チップの回路形成面同士を対向させて配置した状態で実装することにより、最短距離で多数の接続端子同士を接続する構造のパッケージも提案されている。

【 0 0 0 6 】

しかし、このようなパッケージ構造の場合には、電源の補強を行おうとすると、各半導体チップの回路形成面が対向しているため、チップ外周部からしか電源を与えることができないため、半導体チップ内部での電圧降下の問題は解決できない。

【0007】

【発明が解決しようとする課題】

上記のように従来の半導体装置は、電源電圧の低電圧化や半導体チップ内部での電圧降下の問題が顕在化してきているが、これらの問題を解決しようとするコストが高くなるという問題があった。

【0008】

また、高速で信号伝送可能なパッケージ構造の半導体装置が提案されているが、半導体チップ内部での電圧降下の問題が解決できない。

【0009】

この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、必要な機能を最小限のコストで実現できる半導体装置を提供することにある。

【0010】

また、この発明の別の目的は、半導体集積回路の微細化による電源電圧の低電圧化や、回路規模の増大により半導体チップサイズが拡大しても、半導体チップ内部での電圧降下を抑制できる半導体装置を提供することである。

【0011】

更に、この発明の他の目的は、高性能かつ廉価なパッケージ構造を有する半導体装置を提供することにある。

【0012】

【課題を解決するための手段】

この発明の請求項1に記載した半導体装置は、半導体素子が形成された第1の半導体チップと、上記第1の半導体チップにおける半導体素子の形成面側に設けられ、当該半導体素子に電気的に接続された第1の接続端子と、上記第1の半導体チップを貫通する貫通穴内に埋設された導電性部材と、上記第1の半導体チッ

ブにおける半導体素子の形成面の裏面側に設けられ、上記導電性部材を介して上記半導体素子に電氣的に接続された第2の接続端子と、上記第1の半導体チップが搭載される配線基板と、少なくとも一部が上記配線基板における、上記第1の接続端子及び第2の接続端子のいずれか一方に対応する位置に形成され、第1の接続端子または第2の接続端子に電氣的に接続される第3の接続端子とを具備することを特徴としている。

【 0 0 1 3 】

また、この発明の請求項2の半導体装置は、半導体素子が形成された第1の半導体チップと、上記第1の半導体チップにおける半導体素子の形成面側に設けられ、当該半導体素子に電氣的に接続された第1の接続端子と、上記第1の半導体チップを貫通する貫通穴内に埋設された導電性部材と、上記第1の半導体チップにおける半導体素子の形成面の裏面側に設けられ、上記導電性部材を介して上記半導体素子に電氣的に接続された第2の接続端子と、上記第1の半導体チップが搭載され、上記第1の接続端子及び第2の接続端子のうち的一方に対向する位置にあって、少なくとも一部が電氣的に接続されているリードフレームと、上記リードフレームのインナーリード部及び上記第1の半導体チップを封止するパッケージとを具備することを特徴としている。

【 0 0 1 4 】

この発明の請求項3の半導体装置は、半導体素子が形成された第1の半導体チップと、上記第1の半導体チップにおける半導体素子の形成面側に設けられ、当該半導体素子に電氣的に接続された第1の接続端子と、上記第1の半導体チップを貫通する貫通穴内に埋設された導電性部材と、上記第1の半導体チップにおける半導体素子の形成面の裏面側に設けられ、上記導電性部材を介して上記半導体素子に電氣的に接続された第2の接続端子とを具備し、上記第1の接続端子あるいは第2の接続端子を、実装基板に接続して実装することを特徴としている。

【 0 0 1 5 】

更に、この発明の請求項4の半導体装置は、半導体素子が形成された半導体チップと、上記半導体チップにおける半導体素子の形成面側に設けられ、当該半導体素子に電氣的に接続された複数の第1の接続端子と、上記半導体チップを貫通

する複数の貫通穴内にそれぞれ埋設された導電性部材と、上記半導体チップにおける半導体素子の形成面の裏面側に設けられ、上記導電性部材を介して上記半導体素子に電氣的に接続された複数の第 2 の接続端子とを具備し、上記複数の第 1 の接続端子を配置する平均密度を、上記複数の第 2 の接続端子を配置する平均密度よりも高くしたことを特徴としている。

【 0 0 1 6 】

この発明の請求項 5 に記載した半導体装置は、半導体素子が形成された半導体チップと、上記半導体チップにおける半導体素子の形成面側に設けられ、当該半導体素子に電氣的に接続された第 1 の接続端子と、上記半導体チップを貫通した貫通穴内に埋設された導電性部材と、上記半導体チップにおける半導体素子の形成面の裏面側に設けられ、上記導電性部材を介して上記半導体素子に電氣的に接続された第 2 の接続端子とを具備し、上記第 1 の接続端子あるいは第 2 の接続端子の少なくともいずれか一方の一部を、上記半導体チップの全域に分散配置するとともに、電源電位あるいはグランド電位を印加することを特徴としている。

【 0 0 1 7 】

請求項 6 に示すように、請求項 1 に記載の半導体装置において、前記第 1 の半導体チップにおける前記第 1 の接続端子あるいは第 2 の接続端子のうち、前記配線基板との対向接続に用いなかった方の接続端子の少なくとも一部と、前記配線基板上に形成された前記第 3 の接続端子とを接続するボンディングワイヤーを更に具備することを特徴とする。

【 0 0 1 8 】

請求項 7 に示すように、請求項 2 に記載の半導体装置において、前記第 1 の半導体チップにおける第 1 の接続端子あるいは第 2 の接続端子のうち、リードフレームとの対向接続に用いなかった方の接続端子の少なくとも一部と、前記リードフレームのインナーリード部とを接続するボンディングワイヤーと、前記リードフレームのインナーリード部及び前記第 1 の半導体チップを封止するパッケージとを更に具備することを特徴とする。

【 0 0 1 9 】

請求項 8 に示すように、請求項 1 に記載の半導体装置において、前記第 1 の半

導体チップ上に積層される第2の半導体チップを更に具備し、前記第1の半導体チップにおける第1の接続端子あるいは第2の接続端子のうち、前記配線基板との対向接続に用いなかった方の接続端子の少なくとも一部を、上記第2の半導体チップに接続することを特徴とする。

【0020】

請求項9に示すように、請求項1に記載の半導体装置において、前記第1の半導体チップ上に積層される第2乃至第 n （ n は3以上の正の整数）の半導体チップを更に具備し、前記第1の半導体チップにおける第1の接続端子あるいは第2の接続端子のうち、前記配線基板との対向接続に用いなかった方の接続端子の少なくとも一部を、上記第2乃至第 n の半導体チップに接続することを特徴とする。

【0021】

請求項10に示すように、請求項2に記載の半導体装置において、前記第1の半導体チップ上に積層される第2の半導体チップを更に具備し、前記第1の半導体チップにおける第1の接続端子あるいは第2の接続端子のうち、前記リードフレームとの対向接続に用いなかった方の接続端子の少なくとも一部を、上記第2の半導体チップに接続することを特徴とする。

【0022】

請求項11に示すように、請求項2に記載の半導体装置において、前記第1の半導体チップ上に積層される第2乃至第 n （ n は3以上の正の整数）の半導体チップを更に具備し、前記第1の半導体チップにおける第1の接続端子あるいは第2の接続端子のうち、前記リードフレームとの対向接続に用いられなかった方の接続端子の少なくとも一部を、上記第2乃至第 n の半導体チップに接続することを特徴とする。

【0023】

請求項12に示すように、請求項3に記載の半導体装置において、前記第1の半導体チップ上に積層される第2の半導体チップを更に具備し、前記第1の半導体チップにおける第1の接続端子あるいは第2の接続端子を実装基板に実装し、これらの接続端子のうち、上記実装基板との外部接続に用いなかった方の接続端

子の少なくとも一部を、上記第2の半導体チップに接続することを特徴とする。

【0024】

請求項13に示すように、請求項3に記載の半導体装置において、前記第1の半導体チップ上に積層される第2乃至第 n （ n は3以上の正の整数）の半導体チップを更に具備し、前記第1の半導体チップにおける第1の接続端子あるいは第2の接続端子を実装基板に実装し、これらの接続端子のうち、上記実装基板との外部接続に用いなかった方の接続端子の少なくとも一部を、上記第2乃至第 n の半導体チップに接続することを特徴とする。

【0025】

請求項14に示すように、請求項8乃至13いずれか1つの項に記載の半導体装置において、前記積層される複数の半導体チップ間の少なくとも一部を接続するボンディングワイヤーを更に具備することを特徴とする。

【0026】

請求項15に示すように、請求項8乃至13いずれか1つの項に記載の半導体装置において、前記積層される複数の半導体チップ間の少なくとも一部を接続する導電性のバンプを更に具備することを特徴とする。

【0027】

請求項16に示すように、請求項15に記載の半導体装置において、前記複数の半導体チップのうち、少なくとも2つの隣り合った半導体チップ同士は、半導体素子の形成面同士を対向して接続することを特徴とする。

【0028】

また、この発明の請求項17に記載した半導体装置は、半導体素子が形成された第1の半導体チップと、上記第1の半導体チップにおける半導体素子の形成面に設けられ、当該半導体素子に電氣的に接続された第1の接続端子と、上記第1の半導体チップを貫通する貫通穴内に埋設された導電性部材と、上記第1の半導体チップにおける半導体素子の形成面の裏面側に設けられ、上記導電性部材を介して上記半導体素子に電氣的に接続された第2の接続端子と、上記第1の半導体チップに積層された第2の半導体チップと、上記第2の半導体チップにおける半導体素子の形成面側のみに設けられた第3の接続端子とを具備し、上記第1の

半導体チップにおける第 1 の接続端子及び第 2 の接続端子のいずれか一方を、上記第 2 の半導体チップにおける第 3 の接続端子と対向する位置に設け、当該対向する接続端子同士を介して上記第 1 の半導体チップと第 2 の半導体チップを電氣的に接続したことを特徴としている。

【 0 0 2 9 】

請求項 1 8 に示すように、請求項 1 7 に記載の半導体装置において、前記第 2 の半導体チップは、前記第 1 の半導体チップよりも厚いことを特徴とする。

【 0 0 3 0 】

請求項 1 9 に示すように、請求項 1 7 または 1 8 に記載の半導体装置において、前記第 2 の半導体チップは、前記第 1 の半導体チップよりも大きいことを特徴とする。

【 0 0 3 1 】

請求項 2 0 に示すように、請求項 1 7 乃至 1 9 のいずれか 1 つの項に記載の半導体装置において、前記第 1 の半導体チップと第 2 の半導体チップとの間の接続点を含む隙間に設けられた充填樹脂を更に具備することを特徴とする。

【 0 0 3 2 】

更に、この発明の請求項 2 1 に記載した半導体装置は、半導体素子が形成された半導体チップと、上記半導体チップにおける半導体素子の形成面側に設けられ、当該半導体素子に電氣的に接続された第 1 の接続端子と、上記半導体チップを貫通する貫通穴内に埋設された導電性部材と、上記半導体チップにおける半導体素子の形成面の裏面側に設けられ、上記導電性部材を介して上記半導体素子に電氣的に接続された第 2 の接続端子と、上記半導体チップが搭載された配線基板と、上記配線基板上に形成され、一部が上記半導体チップの第 1 の接続端子に対向する位置に配置され、上記半導体チップと電氣的に接続された第 3 の接続端子と、上記半導体チップにおける第 2 の接続端子のうちの少なくとも一部と、上記配線基板上に形成された上記第 3 の接続端子とを接続するボンディングワイヤーと、上記ボンディングワイヤーと上記半導体チップを含む配線基板の上面に設けられた封止樹脂と、実装基板に接続するために、上記配線基板の上記半導体チップが搭載された面の裏面側に設けられ、上記第 3 の接続端子と電氣的に接続された

第 4 の接続端子とを具備し、上記第 1 の接続端子は、主に電源電位とグランド電位を印加するために用いられ、上記第 2 の接続端子は、主に信号系に用いられることを特徴としている。

【 0 0 3 3 】

更にまた、この発明の請求項 2 2 に記載した半導体装置は、半導体素子が形成された半導体チップと、上記半導体チップにおける半導体素子の形成面側の外周部に沿って設けられ、当該半導体素子に電氣的に接続された第 1 の接続端子と、上記半導体チップの全域に分散して形成された貫通穴内にそれぞれ埋設された導電性部材と、上記半導体チップにおける半導体素子の形成面の裏面側に設けられ、上記導電性部材をそれぞれ介して上記半導体素子に電氣的に接続された第 2 の接続端子と、上記半導体チップが搭載された配線基板と、上記半導体チップにおける第 2 の接続端子に対向する位置に形成され、上記半導体チップと電氣的に接続された第 3 の接続端子と、上記半導体チップにおける第 1 の接続端子のうちの少なくとも一部と、上記配線基板上に形成された第 3 の接続端子とを接続するボンディングワイヤーと、上記ボンディングワイヤーと上記半導体チップを含む配線基板の上面に設けられた封止樹脂と、実装基板に接続するために、上記配線基板の上記半導体チップが搭載された面の裏面側に設けられ、上記第 3 の接続端子と電氣的に接続された第 4 の接続端子とを具備し、上記第 2 の接続端子は、主に電源電位とグランド電位を印加するために用いられ、上記第 1 の接続端子は、主に信号系に用いられることを特徴としている。

【 0 0 3 4 】

この発明によれば、下記のような効果を得ることができる。

【 0 0 3 5 】

すなわち、請求項 1 に記載した構成によれば、接続端子の配置位置を増加できるため、接続密度を増大させずに、接続端子数を増加することが可能である。

【 0 0 3 6 】

請求項 2 に記載した構成によれば、半導体チップをリードフレームに搭載するので、請求項 1 に示した配線基板を用いる場合よりも、より廉価な半導体装置を提供することができる。

【 0 0 3 7 】

請求項 3 に記載した構成によれば、接続密度を増大させずに、接続端子数を増加させた C S P を実現することができ、実装効率を大幅に向上できる。

【 0 0 3 8 】

請求項 4 に記載した構成によれば、半導体チップに形成する貫通穴によるチップサイズの増大を抑えることができる。

【 0 0 3 9 】

請求項 5 に記載した構成によれば、接続端子を半導体チップ表面の全域に分散して配置するので、接続密度を増大させずに半導体チップ内の電圧降下を低減することができる。

【 0 0 4 0 】

請求項 6 に記載した構成によれば、高価な微細配線基板を用いることなく接続端子数を増加させることができるので、必要な機能を最小限のコストで実現できる。

【 0 0 4 1 】

請求項 7 に記載した構成によれば、半導体チップを配線基板よりも低コストなリードフレームに搭載するので、請求項 6 に示す半導体装置よりも、更に廉価な半導体装置を実現できる。

【 0 0 4 2 】

請求項 8 乃至 1 5 に記載した構成によれば、高価な微細配線基板を用いることなく接続端子数を増加することができ、且つ複数の半導体チップ間を最短距離で信号伝達させることが可能となり、半導体装置の高性能化が図れる。

【 0 0 4 3 】

請求項 1 6 に記載した構成によれば、前記請求項 8 乃至 1 6 に記載の半導体装置の効果に加えて、複数の半導体チップ間で多数の接続点を形成することが可能となる。

【 0 0 4 4 】

請求項 1 7 乃至 2 0 に記載した構成によれば、貫通穴を設けた薄い第 1 の半導体チップを第 2 の半導体チップで補強できるので、第 1 の半導体チップが破損す

る危険を大幅に低減できる。

【 0 0 4 5 】

請求項 2 1 及び 2 2 に記載した構成によれば、高価な微細配線基板を用いることなく接続端子数を増加することが可能であり、且つ半導体チップ内の電圧降下を低減することができる。

【 0 0 4 6 】

【発明の実施の形態】

この発明の骨子は、導電性部材を埋設した貫通穴を設けた半導体チップを種々の形態で実装するものであり、少数しか必要ないが半導体チップ表面の全域に分散させる必要がある電源系やグランド系の配線の接続、あるいは必ずしも半導体チップ表面の全域に分散させる必要がないものの多数必要な信号系の配線の接続を、貫通穴に埋設した導電性部材を介して半導体チップの裏面側に導出することにより、半導体チップの両面に再配置するものである。

【 0 0 4 7 】

そして、半導体チップをフェイスアップで実装する場合は、貫通穴を電源系とグランド系に割り当て、半導体素子の形成面の裏面からダイレクトに電源の補強を行う。一方、微細な接続が必要な信号線には、半導体素子の形成面の外周部に設けたパッドからワイヤーボンディングを行って導出する。この組み合わせにより、高価な微細配線基板を用いることなく電源を強化した高性能半導体装置を実現できる。

【 0 0 4 8 】

一方、半導体チップをフェイスダウンで実装する場合には、半導体素子の形成面上に電源パッドやグランドパッドを二次元的に配置してフリップチップ接続する。微細接続が必要な信号線は、半導体素子の外周部に形成した貫通穴を介して半導体素子の形成面の裏面に導出し、裏面側からワイヤーボンディングで引き出す。この組み合わせの場合も、前記同様に高価な微細配線基板を用いずに電源を強化した高性能半導体装置を実現できる。

【 0 0 4 9 】

さらに発展例として、前記 2 例の半導体チップ上に別の半導体チップを積層す

ることも可能となる。特に、2つの半導体チップ間の接続密度が高い場合には、下の半導体チップをフェイスアップにすることにより、高価な配線基板を介さずに多端子接続が実現できる。

【 0 0 5 0 】

以下、この発明の種々の実施の形態について図面を参照して詳述する。

【 0 0 5 1 】

〔第1の実施の形態〕

図1 (a), (b) はそれぞれ、この発明の第1の実施の形態に係る半導体装置について説明するためのもので、(a) 図は概略断面図、(b) 図は(a) 図の一部の拡大断面図である。(a) 図に示す如く、半導体チップ1は、半導体素子(内部回路)の形成面2を配線基板7に対向して(フェイスダウン)搭載されている。半導体素子の形成面2には、接続端子(導電性バンプ)4が全域に分散(例えばアレイ状)されて形成されており、この接続端子4を介して配線基板7の配線層7Bとの電氣的な接続を行っている。上記配線基板7は、樹脂等からなる絶縁性の基板7Aの両面と内部にそれぞれ配線層(多層配線)7Bが形成されており、上記半導体チップ1の搭載面側には、上記バンプ4に対応する位置に配線層が配置されている。この配線層7Bは、上記基板7A中に設けられた配線層部を介して裏面側に導出され、実装基板に接続するための接続端子(導電性バンプ)13に電氣的に接続されている。

【 0 0 5 2 】

また、上記半導体チップ1の外周部には導電性の部材が埋め込まれた貫通穴3が形成されており、この貫通穴3内に埋設された導電性部材のチップ裏面上に接続端子(パッド)5がそれぞれ形成されている。上記接続端子5と配線基板7は、ボンディングワイヤー6によって接続されている。そして、上記配線基板7上の半導体チップ1及びボンディングワイヤー6が、樹脂やセラミック等からなるパッケージ9に封止されている。

【 0 0 5 3 】

上記構成において、貫通穴3の近傍は、(b) 図に示すようになっている。半導体チップ1に形成された貫通穴3の側壁には絶縁膜14が形成され、この貫通

穴 3 内に上記チップ 1 とは絶縁された状態で埋め込み金属（導電性部材） 1 5 が設けられている。上記チップ 1 における半導体素子の形成面 2 側には、例えば銅やアルミニウム等からなり、一端が上記導電性部材 1 5 と電氣的に接続されたチップ内配線 1 7 が設けられている。このチップ内配線 1 7 の他端は、半導体素子（内部回路）に電氣的に接続される。そして、上記チップ内配線 1 7 を含むチップ 1 の半導体素子形成面 2 の全面が層間絶縁膜及び表面保護膜 1 6 で被覆されている。一方、上記チップ 1 における素子形成面の裏面側の導電性部材 1 5 上には、ボンディングパッド（接続端子） 5 が設けられており、このボンディングパッド 5 にボンディングワイヤー 6 の一端がボールボンディングされている。更に、上記貫通穴 3 の近傍を除くチップ 1 の裏面には、裏面絶縁膜 1 8 が形成されている。

【 0 0 5 4 】

本構造の最大の利点は、従来のプラスチック BGA パッケージにおいて接続可能な全領域、すなわち半導体チップ 1 の配線基板 7 に対向する面の全域及びその裏面の外周部のいずれにも接続端子 4, 5 が分散配置できることであり、実質的な接続密度を増大させることなく、接続点の数を増加させることが可能となる。

【 0 0 5 5 】

また、半導体素子の形成面 2 に分散されている接続端子 4 を電源系とグランド系に割り当てることにより、本構造の利便性を最大限に活用できる。一般に電源系とグランド系の接続端子は、半導体チップ 1 の全面に分散配置することが重要であり、必ずしも多数の接続点が必要なわけではない。これに対し、信号系の接続は当然のことながら多数の接続点数が必要となるが、その反面必ずしも半導体チップ 1 の全面に分散している必要はない。従って、面配置された接続端子 4 は端子数も少なく、廉価な配線基板 7 を用いて引き回すことが可能となる。しかも、多数の信号端子は、チップの外周部からボンディングワイヤー 6 によって、更に外周へ広げられた状態で配置されるため、こちらも廉価な配線基板 7 で十分引き回すことが可能となっている。

【 0 0 5 6 】

従って、上記第 1 の実施の形態に係る半導体装置によれば、必要な機能を最小

限のコストで実現できる。また、半導体集積回路の微細化による電源電圧の低下や、回路規模の増大により半導体チップサイズが拡大しても、半導体チップ内部での電圧降下を抑制できる。更に、高性能かつ廉価なパッケージ構造を有する半導体装置が得られる。

【 0 0 5 7 】

〔第 2 の実施の形態〕

図 2 (a) , (b) はそれぞれ、この発明の第 2 の実施の形態に係る半導体装置について説明するためのもので、(a) 図は概略断面図、(b) 図は (a) 図の一部の拡大断面図である。本第 2 の実施の形態においては、半導体チップ 1 は半導体素子の形成面 2 の裏面を配線基板 7 に対向させて（フェイスアップ）搭載されている。導電性部材 1 5 が埋設された貫通穴 3 は、半導体チップ 1 の全域に分散配置され、この貫通穴 3 を介してチップ 1 の裏面に形成された接続端子（導電性バンプ）5 を用いて配線基板 7 との接続がなされている。また、半導体チップ 1 の半導体素子の形成面 2 の外周部には、一般的な半導体装置と同様な接続端子（パッド）4 が形成されており、この接続端子 4 からワイヤーボンディングによって配線基板 7 の配線層 7 B と電氣的に接続されている。

【 0 0 5 8 】

上記のような構成において、貫通穴 3 の近傍は、(b) 図に示すようになっている。半導体チップ 1 に形成された貫通穴 3 の側壁には絶縁膜 1 4 が形成され、この貫通穴 3 内に上記チップ 1 とは絶縁された状態で導電性部材 1 5 が埋設されている。上記チップ 1 における半導体素子の形成面 2 側には、一端が上記導電性部材 1 5 と電氣的に接続されたチップ内配線 1 7 が設けられ、このチップ内配線 1 7 の他端は、半導体素子（内部回路）に電氣的に接続される。上記チップ内配線 1 7 を含むチップ 1 の半導体素子の形成面 2 の全面が層間絶縁膜及び表面保護膜 1 6 で被覆され、裏面側の導電性部材 1 5 には、導電性バンプ（接続端子）5 が設けられている。このバンプ 5 には、配線基板 7 の配線層 7 B が接続される。更に、上記貫通穴 3 の近傍を除くチップ 1 の裏面は、裏面絶縁膜 1 8 で被覆されている。

【 0 0 5 9 】

本構造も上述した第 1 の実施の形態と同様に、接続に適した位置に接続端子 4, 5 が分散される特徴を持っているため、実質的な接続密度を増大させることなく接続点の数を増加させることが可能である。また、本構造の場合、電源系やグランド系の配置は、上記第 1 の実施の形態と同様の理由から、バンプ 5 に割り当てるのが好ましい。

【 0 0 6 0 】

〔第 3、第 4 の実施の形態〕

図 3 及び図 4 はそれぞれ、この発明の第 3 及び第 4 の実施の形態に係る半導体装置について説明するための概略断面図であり、上述した第 1 及び第 2 の実施の形態に係る半導体装置の変形例である。これら第 3 及び第 4 の実施の形態においては、配線基板 7 の代わりに低コストなリードフレーム 8 を用いている。他の基本的な構成は、第 1 及び第 2 の実施の形態と同様であるので、図 3 及び図 4 において、図 1 及び図 2 と同一構成部分には同じ符号を付してその詳細な説明は省略する。

【 0 0 6 1 】

一般に、リードフレーム 8 に半導体チップ 1 を搭載する場合には、配線基板 7 を用いる場合のような電源・グランドプレーンを形成することができないため、電源補強の点で若干不利になる。しかしながら、本実施の形態に係る半導体装置では、電源・グランドは全て半導体チップ 1 の直下からダイレクトに供給されるため、実質的に十分な性能を確保することができる。

【 0 0 6 2 】

〔第 5、第 6 の実施の形態〕

図 5 及び図 6 はそれぞれ、この発明の第 5 及び第 6 の実施の形態に係る半導体装置について説明するための概略断面図であり、上述した第 1 及び第 2 の実施の形態に係る半導体装置の他の変形例である。これら第 5 及び第 6 の実施の形態においては、ヒートスラグ 10 上に半導体チップ 1 と配線基板 7 を搭載している。上記ヒートスラグ 10 は、金属層あるいは金属配線を形成したセラミック板、あるいは金属板であり、上記金属部は、電源あるいはグランドに接続されている。

【 0 0 6 3 】

そして、第 5 の実施の形態では、上記ヒートスラグ 1 0 上に、半導体チップ 1 が半導体素子の形成面 2 を下にして搭載されている。上記半導体チップ 1 の半導体素子の形成面 2 に設けられた接続端子（導電性バンプ）4 は、上記ヒートスラグ 1 0 上の金属部に接続される。また、半導体チップ 1 を取り囲むように、配線基板 7 が配置されている。この配線基板 7 の上面には、実装用の接続端子 1 3 が設けられている。上記半導体チップ 1 の接続端子（パッド）5 と配線基板 7 の配線 7 B は、ボンディングワイヤー 6 によって電氣的に接続される。そして、上記半導体チップ 1、ボンディングワイヤー 6 及び上記配線基板 7 のチップ 1 近傍の領域が樹脂等からなるパッケージ 9 に封止されている。

【 0 0 6 4 】

上記のような構成において、半導体素子の形成面 2 に分散配置されている接続端子 4 は、電源系とグランド系に割り当てており、半導体チップ 1 の素子形成面 2 側から接続端子 4 を介して上記ヒートスラグ 1 0 上の金属配線層に接続される。また、半導体素子の形成面 2 の裏面側のチップ外周部に沿って配置されている接続端子 5 は、信号系に割り当てており、半導体チップ 1 の素子形成面 2 側から貫通穴 3 内の導電性部材 1 5、接続端子 5、ボンディングワイヤー 6、及び配線基板 7 中の配線 7 B をそれぞれ介して上記接続端子 1 3 に接続される。

【 0 0 6 5 】

一方、第 6 の実施の形態では、上記ヒートスラグ 1 0 上には、半導体チップ 1 が半導体素子の形成面 2 を上にして搭載されている。上記半導体チップ 1 の裏面側に貫通穴 3 を介して設けられた接続端子（導電性バンプ）5 は、上記ヒートスラグ 1 0 上の金属配線層に接続される。また、半導体チップ 1 を取り囲むように、配線基板 7 が配置されており、この配線基板 7 の上面には、実装用の接続端子 1 3 が設けられている。そして、上記半導体チップ 1 における半導体素子の形成面 2 側に設けられた接続端子（パッド）4 と配線基板 7 の配線 7 B とが、ボンディングワイヤー 6 によって電氣的に接続される。上記半導体チップ 1、ボンディングワイヤー 6 及び上記配線基板 7 のチップ 1 近傍の領域は、樹脂等からなるパッケージ 9 に封止されている。

【 0 0 6 6 】

上記のような構成において、半導体素子の形成面 2 の裏面側に分散配置されている接続端子 5 は、電源系とグランド系に割り当てており、半導体チップ 1 の素子形成面 2 側から接続端子 5 を介して上記ヒートスラグ 1 0 上の金属配線層に接続される。また、半導体素子の形成面 2 側のチップ外周部に沿って配置されている接続端子 4 は、信号系に割り当てており、この接続端子 4、ボンディングワイヤー 6、及び配線基板 7 中の配線 7 B をそれぞれ介して上記接続端子 1 3 に接続される。

【 0 0 6 7 】

[第 7、第 8 の実施の形態]

図 7 及び図 8 はそれぞれ、この発明の第 7 及び第 8 の実施の形態に係る半導体装置について説明するための概略断面図であり、上述した第 5 及び第 6 の実施の形態に係る半導体装置の変形例である。これら第 7 及び第 8 の実施の形態は、図 5 及び図 6 におけるヒートスラグ 1 0 と半導体チップ 1 との間に高放熱樹脂層 1 1 を介在させたものである。

【 0 0 6 8 】

この際、第 7 の実施の形態では、上記半導体チップ 1 の半導体素子の形成面 2 に設けた接続端子 4 を、上記ヒートスラグ 1 0 上の金属部に接続し、この半導体チップ 1 とヒートスラグ 1 0 との間隙を高放熱樹脂層 1 1 で埋め込んでいる。

【 0 0 6 9 】

一方、第 8 の実施の形態では、上記半導体チップ 1 の裏面側に貫通穴 3 を介して設けた接続端子 5 を、上記ヒートスラグ 1 0 上の金属部に接続し、この半導体チップ 1 とヒートスラグ 1 0 との間隙を高放熱樹脂層 1 1 で埋め込んでいる。

【 0 0 7 0 】

このような構成によれば、第 5 及び第 6 の実施の形態に係る半導体装置に比べてより放熱性を高めることができる。

【 0 0 7 1 】

なお、図 7 及び図 8 では、半導体チップ 1 とヒートスラグ 1 0 との間を、接続端子 4 または 5 を用いて個々に接続する場合を例にとって説明したが、接続端子 4 または 5 を電源系やグランド系に用いる場合には、高放熱樹脂層 1 1 に導電性

の高い樹脂を用いることにより、一括して接続してしまっても構わない。

【 0 0 7 2 】

〔第 9、第 1 0 の実施の形態〕

図 9 及び図 1 0 はそれぞれ、この発明の第 9 及び第 1 0 の実施の形態に係る半導体装置について説明するための概略断面図であり、上述した第 7 及び第 8 の実施の形態に係る半導体装置の変形例である。これら第 9 及び第 1 0 の実施の形態においては、ワイヤーボンディング技術に代えて、TAB 技術を用いるものである。

【 0 0 7 3 】

すなわち、第 9 の実施の形態は、上記ヒートスラグ 1 0 上に、半導体チップ 1 が半導体素子の形成面 2 を下にして搭載されている。上記半導体チップ 1 の半導体素子の形成面 2 に設けられた接続端子 4 は、上記ヒートスラグ 1 0 上の金属配線層に接続される。上記半導体チップ 1 の素子形成面 2 とヒートスラグ 1 0 との間隙には、高放熱樹脂層 1 1 が充填されている。また、上記半導体チップ 1 は、TAB テープ 7' のデバイスホール内に配置されており、この半導体チップ 1 を取り囲むように設けられたヒートスラグ 1 0 A 上に固着されている。この TAB テープ 7' の上面に形成されているリードには、実装用の接続端子 1 3 が設けられている。上記 TAB テープ 7' 上に設けられたビームリード 1 2 は、上記半導体チップ 1 の接続端子 5 に接続される。上記半導体チップ 1、ビームリード 1 2 及び上記 TAB テープ 7' のチップ 1 近傍の領域は、例えばポッティング樹脂を滴下して形成したパッケージ 9' に封止されている。

【 0 0 7 4 】

上記のような構成において、半導体素子の形成面 2 に分散配置されている接続端子 4 は、電源系あるいはグランド系に割り当てており、半導体チップ 1 の素子形成面 2 側から接続端子 4 を介して上記ヒートスラグ 1 0 上の金属部に接続される。また、半導体素子の形成面 2 の裏面側の接続端子 5 は、信号系に割り当てており、半導体チップ 1 の素子形成面 2 側から貫通穴 3 内の導電性部材 1 5、接続端子 5、ビームリード 1 2 及び配線基板 7 中の配線 7 B をそれぞれ介して上記接続端子 1 3 に接続される。

【 0 0 7 5 】

一方、第 1 0 の実施の形態では、上記ヒートスラグ 1 0 上に、半導体チップ 1 が半導体素子の形成面 2 を上にして搭載されている。上記半導体チップ 1 の裏面に貫通穴 3 を介して設けられた接続端子 5 は、上記ヒートスラグ 1 0 上の金属配線層に接続される。上記半導体チップ 1 の裏面とヒートスラグ 1 0 との間隙には、高放熱樹脂層 1 1 が充填されている。また、上記半導体チップ 1 は、T A B テープ 7' のデバイスホール内に配置されており、この半導体チップ 1 を取り囲むように設けられたヒートスラグ 1 0 A 上に固着されている。この T A B テープ 7' の上面のリード上には、実装用の接続端子 1 3 が設けられている。T A B テープ 7' のビームリードは、上記半導体チップ 1 における半導体素子の形成面 2 側に設けられた接続端子 4 に接続される。上記半導体チップ 1、ビームリード 1 2 及び上記 T A B テープ 7' のチップ 1 近傍の領域は、例えばポッティング樹脂を滴下して形成したパッケージ 9' に封止されている。

【 0 0 7 6 】

上記のような構成において、半導体素子の形成面 2 の裏面に分散配置されている接続端子 5 は、電源系あるいはグランド系に割り当てており、半導体チップ 1 の素子形成面 2 側から接続端子 5 を介して上記ヒートスラグ 1 0 上の金属配線層に接続される。また、半導体素子の形成面 2 側の接続端子 4 は、信号系に割り当てており、この接続端子 4、ビームリード 1 2 及び配線基板 7 中の配線 7 B をそれぞれ介して上記接続端子 1 3 に接続される。

【 0 0 7 7 】

上記第 9、第 1 0 の実施の形態によれば、第 5 及び第 6 の実施の形態に係る半導体装置に比べてより放熱性を高めつつ、この発明を T A B 技術を用いる半導体装置にも適用できる。

【 0 0 7 8 】

また、仮に樹脂層 1 1 が絶縁性の断熱材であったとしても、接続端子 4 または 5 によってヒートスラグ 1 0 との間を接続しているため、単に断熱樹脂で貼り付けた場合に比べれば、高い放熱性が得られる。

【 0 0 7 9 】

なお、図 9 及び図 1 0 では、半導体チップ 1 とヒートスラグ 1 0 との間を、接続端子 4 または 5 を用いて個々に接続する場合を例にとって説明したが、第 7 及び第 8 の実施の形態と同様に、高放熱樹脂層 1 1 に導電性の高い樹脂を用いれば、一括して接続しても構わない。

【 0 0 8 0 】

[第 1 1、第 1 2 の実施の形態]

図 1 1 及び図 1 2 はそれぞれ、この発明の第 1 1 及び第 1 2 の実施の形態に係る半導体装置について説明するための概略断面図であり、上述した第 1 及び第 2 の実施の形態に係る半導体装置の変形例である。これら第 1 1 及び第 1 2 の実施の形態では、パッケージ 9 の半導体チップ 1 上に放熱板を設けている。ここでは、放熱板としてヒートスラグ 1 0 を用いており、このヒートスラグ 1 0 の表面は樹脂コートされずに露出している。

【 0 0 8 1 】

なお、本実施の形態では、ヒートスラグ 1 0 は放熱のみに用いるので、電位を印加する必要はない。従って、必ずしも導体である必要はなく、配線を持たない単なるセラミックであっても一向に構わない。勿論、金属であっても構わない。

【 0 0 8 2 】

上記のような構成によれば、より放熱効果を高めることができ、発熱量の多い半導体チップ 1 を用いるのに好適である。

【 0 0 8 3 】

[第 1 3、第 1 4 の実施の形態]

図 1 3 及び図 1 4 はそれぞれ、この発明の第 1 3 及び第 1 4 の実施の形態に係る半導体装置について説明するための概略断面図であり、上述した第 3 及び第 4 の実施の形態に係る半導体装置の変形例である。これら第 1 3 及び第 1 4 の実施の形態は、上記第 1 1 及び第 1 2 の実施の形態と同様に、パッケージ 9 の半導体チップ 1 上に放熱板を設けるものである。ここでは、放熱板としてヒートスラグ 1 0 を設けており、このヒートスラグ 1 0 の表面は樹脂コートされずに露出している。

【 0 0 8 4 】

なお、本実施の形態では、ヒートスラグ 10 は放熱のみに用いるので、電位を印加する必要はない。従って、必ずしも導体である必要はなく、配線を持たない単なるセラミックであっても一向に構わない。勿論、金属であっても構わない。

【 0 0 8 5 】

上記のような構成によれば、より放熱効果を高めることができ、発熱量の多い半導体チップ 1 をリードフレーム 8 上に搭載するのに好適である。

【 0 0 8 6 】

〔第 1 5 乃至第 1 8 の実施の形態〕

図 1 5 乃至図 1 8 はそれぞれ、この発明の第 1 5 乃至第 1 8 の実施の形態を示す概略断面図であり、前述した第 1 及び第 2 の実施の形態の発展例である。第 1 5 及び第 1 7 の実施の形態は、第 1 の実施の形態における半導体チップ 1 - 1 上に別の半導体チップ 1 - 2 を積層したものであり、第 1 6 及び第 1 8 の実施の形態は、第 2 の実施の形態における半導体チップ 1 - 1 上に別の半導体チップ 1 - 2 を積層したものである。第 1 5 及び第 1 6 の実施の形態は、上に搭載した半導体チップ 1 - 2 からの接続にボンディングワイヤー 6 を用いた例であり、第 1 7 及び第 1 8 の実施の形態は、上に搭載した半導体チップ 1 - 2 からの接続に導電性バンプ 4 - 2 を用いた例である。

【 0 0 8 7 】

上述した第 1 5 乃至第 1 8 の実施の形態では、いずれの実施の形態においても下に搭載される半導体チップ 1 - 1 は、チップ全域に分散配置された接続端子 4 - 1 または 5 を持っているため、チップ内部の電圧降下に対して敏感な素子を下に配置して搭載することにより、半導体装置としての性能を向上できる。

【 0 0 8 8 】

加えて、第 1 7 及び第 1 8 の実施の形態の場合には、チップ 1 - 1 を貫通して（貫通穴 3 を介して）上のチップ 1 - 2 へ電源電位やグランド電位を供給をすることも可能であり、より高性能な半導体装置を実現できる。

【 0 0 8 9 】

なお、これら第 1 5 乃至第 1 8 の実施の形態では、各半導体チップ 1 - 1, 1 - 2 と配線基板 7 の間、半導体チップ 1 - 1, 1 - 2 同士の間のいずれも接続し

た例を示したが、全ての組み合わせが接続されていなくても構わないことは勿論である。また、積層する半導体チップの数も本実施の形態に示す2つに限らず、3つ以上であっても構わない。更に、本実施の形態では、上に積層した半導体チップ1-2は貫通穴3を持たない通常の半導体チップを例にとって説明したが、導電性部材を埋設した貫通穴3を有する半導体チップを積層しても良いのは勿論である。

【0090】

[第19、第20の実施の形態]

図19及び図20はそれぞれ、この発明の第19及び第20の実施の形態に係る半導体装置を示す概略断面図である。これら第19及び第20の実施の形態は、上記第15及び第16の実施の形態に係る半導体装置の放熱性を高めるために、パッケージ9の半導体チップ1-2上に放熱板を設けたものである。ここでは、放熱板としてヒートスラグ10を設けており、このヒートスラグ10の表面は樹脂コートされずに露出している。この構造においては、ヒートスラグ10の金属あるいは金属配線に電位を印加する必要はない。

【0091】

このような構成によれば、より放熱効果を高めることができ、半導体チップ1-1、1-2を積層することによって増加した発熱量を効果的に低減できる。

【0092】

なお、上記第19及び第20の実施の形態では、上記第15及び第16の実施の形態に係る半導体装置の放熱性を高めるために、ヒートスラグ10を設ける場合を例にとって説明したが、同様な構造は図17及び図18に示した第17及び第18の実施の形態にも適用可能なのは勿論である。

【0093】

[第21、第22の実施の形態]

図21及び図22はそれぞれ、この発明の第21及び第22の実施の形態に係る半導体装置を示す概略断面図である。これら第21及び第22の実施の形態は、上記第17及び第18の実施の形態に係る半導体装置の放熱性を高めるために、パッケージ9の上面に半導体チップ1-2を露出させるものである。

【 0 0 9 4 】

このような構成であっても、放熱効果を高めることができ、半導体チップ 1 - 1, 1 - 2 を積層することによって増加した発熱量を効果的に低減できる。

【 0 0 9 5 】

〔第 2 3、第 2 4 の実施の形態〕

図 2 3 及び図 2 4 はそれぞれ、この発明の第 2 3 及び第 2 4 の実施の形態に係る半導体装置を示す概略断面図である。本実施の形態では、2 つの半導体チップ 1 - 1, 1 - 2 を導電性バンプ 4 - 2 と 5、または導電性バンプ 4 - 1 を介在して対向接続したものである。また、半導体チップ 1 - 1, 1 - 2 の間隙は、樹脂充填によって補強されている。

【 0 0 9 6 】

貫通穴 3 を形成した半導体チップ 1 - 1 は、貫通穴 3 の深さの制約のために必然的に薄いものとなってしまふ。従って、当該貫通穴 3 を有する半導体チップ 1 - 1 の強度不足を補強するためにも、対向する貫通穴を持たない半導体チップ 1 - 2 を厚く、且つ大きく設計することがより好ましい。

【 0 0 9 7 】

なお、本実施の形態では、半導体チップ 1 - 1 における半導体チップ 1 - 2 との積層面の裏面側に形成した接続端子（図 2 3 の場合は 4 - 1、図 2 4 の場合は 5）を、実装基板との外部接続端子として用いることにより、C S P（Chip Scale Package）としている。しかしながら、これらの接続端子をパッケージ用配線基板やリードフレームに接続してパッケージあるいはモジュールを形成しても良い。

【 0 0 9 8 】

〔第 2 5 及び第 2 6 の実施の形態〕

図 2 5 及び図 2 6 はそれぞれ、この発明の第 2 5 及び第 2 6 の実施の形態に係る半導体装置を示す概略断面図である。これらの実施の形態は、上記図 2 3 及び図 2 4 に示した第 2 3 及び第 2 4 の実施の形態に係る半導体装置をそれぞれ配線基板 7 に搭載するとともに、半導体チップ 1 - 1 と 1 - 2 間及び半導体チップ 1 と配線基板 7 間に封止樹脂を注入してパッケージ化あるいはモジュール化したも

のである。図 2 5 及び図 2 6 において、図 2 3 及び図 2 4 と同一構成部には同じ符号を付してその詳細な説明は省略する。

【 0 0 9 9 】

このような構成によれば、半導体チップ 1 - 1, 1 - 2 の両方が薄厚化されている場合にも強度不足の問題はなく、且つ使い勝手も向上できる。

【 0 1 0 0 】

また、第 2 3 及び第 2 4 の実施の形態では、半導体チップ 1 - 1 における半導体チップ 1 - 2 との積層面の裏面側に形成した接続端子（図 2 3 の場合は 4 - 1、図 2 4 の場合は 5）の数が増大して高密度化してしまうと、実装基板では引き回すことが困難になってしまうが、本実施の形態の場合には、配線基板 7 を用いて外部接続端子 1 3 のピッチを緩めることができるため、多数の外部接続端子を持つ場合に有効である。

【 0 1 0 1 】

[第 2 7 及び第 2 8 の実施の形態]

図 2 7 及び図 2 8 はそれぞれ、この発明の第 2 7 及び第 2 8 の実施の形態に係る半導体装置を示す概略断面図である。これらの実施の形態は、上記図 2 5 及び図 2 6 に示した第 2 5 及び第 2 6 の実施の形態に係る半導体装置における半導体チップ 1 - 2 に、ヒートスラグ 1 0 を高放熱樹脂 1 1 を用いて貼り付けたものである。

【 0 1 0 2 】

このような構成によれば、放熱性を高めるとともに半導体チップ 1 - 2 の露出を避けてチップ 1 - 2 を保護することもできる。

【 0 1 0 3 】

以上、第 1 乃至第 2 8 の実施の形態を用いてこの発明の説明を行ったが、この発明は上記各実施の形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、上記各実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件の適宜な組み合わせにより種々の発明が抽出され得る。例えば各実施の形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述

べた課題の少なくとも1つが解決でき、発明の効果の欄で述べられている効果の少なくとも1つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0104】

【発明の効果】

以上説明したように、この発明によれば、必要な機能を最小限のコストで実現できる半導体装置が得られる。

【0105】

また、半導体集積回路の微細化に伴う電源電圧の低電圧化や、回路規模の増大により半導体チップサイズが拡大しても、半導体チップ内部での電圧降下を抑制できる半導体装置が得られる。

【0106】

更に、高性能かつ廉価なパッケージ構造を有する半導体装置が得られる。

【図面の簡単な説明】

【図1】

この発明の第1の実施の形態に係る半導体装置について説明するためのもので、(a)図は概略構成を示す断面図、(b)図は(a)図の一部の拡大断面図。

【図2】

この発明の第2の実施の形態に係る半導体装置について説明するための断面図、(a)図は概略構成を示す断面図、(b)図は(a)図の一部の拡大断面図。

【図3】

この発明の第3の実施の形態に係る半導体装置について説明するための概略断面図。

【図4】

この発明の第4の実施の形態に係る半導体装置について説明するための概略断面図。

【図5】

この発明の第5の実施の形態に係る半導体装置について説明するための概略断面図。

【図 6】

この発明の第 6 の実施の形態に係る半導体装置について説明するための概略断面図。

【図 7】

この発明の第 7 の実施の形態に係る半導体装置について説明するための概略断面図。

【図 8】

この発明の第 8 の実施の形態に係る半導体装置について説明するための概略断面図。

【図 9】

この発明の第 9 の実施の形態に係る半導体装置について説明するための概略断面図。

【図 1 0】

この発明の第 1 0 の実施の形態に係る半導体装置について説明するための概略断面図。

【図 1 1】

この発明の第 1 1 の実施の形態に係る半導体装置について説明するための概略断面図。

【図 1 2】

この発明の第 1 2 の実施の形態に係る半導体装置について説明するための概略断面図。

【図 1 3】

この発明の第 1 3 の実施の形態に係る半導体装置について説明するための概略断面図。

【図 1 4】

この発明の第 1 4 の実施の形態に係る半導体装置について説明するための概略断面図。

【図 1 5】

この発明の第 1 5 の実施の形態に係る半導体装置について説明するための概略

断面図。

【図 1 6】

この発明の第 1 6 の実施の形態に係る半導体装置について説明するための概略断面図。

【図 1 7】

この発明の第 1 7 の実施の形態に係る半導体装置について説明するための概略断面図。

【図 1 8】

この発明の第 1 8 の実施の形態に係る半導体装置について説明するための概略断面図。

【図 1 9】

この発明の第 1 9 の実施の形態に係る半導体装置について説明するための概略断面図。

【図 2 0】

この発明の第 2 0 の実施の形態に係る半導体装置について説明するための概略断面図。

【図 2 1】

この発明の第 2 1 の実施の形態に係る半導体装置について説明するための概略断面図。

【図 2 2】

この発明の第 2 2 の実施の形態に係る半導体装置について説明するための概略断面図。

【図 2 3】

この発明の第 2 3 の実施の形態に係る半導体装置について説明するための概略断面図。

【図 2 4】

この発明の第 2 4 の実施の形態に係る半導体装置について説明するための概略断面図。

【図 2 5】

この発明の第 2 5 の実施の形態に係る半導体装置について説明するための概略断面図。

【図 2 6】

この発明の第 2 6 の実施の形態に係る半導体装置について説明するための概略断面図。

【図 2 7】

この発明の第 2 7 の実施の形態に係る半導体装置について説明するための概略断面図。

【図 2 8】

この発明の第 2 8 の実施の形態に係る半導体装置について説明するための概略断面図。

【図 2 9】

従来の半導体装置について説明するための概略断面図。

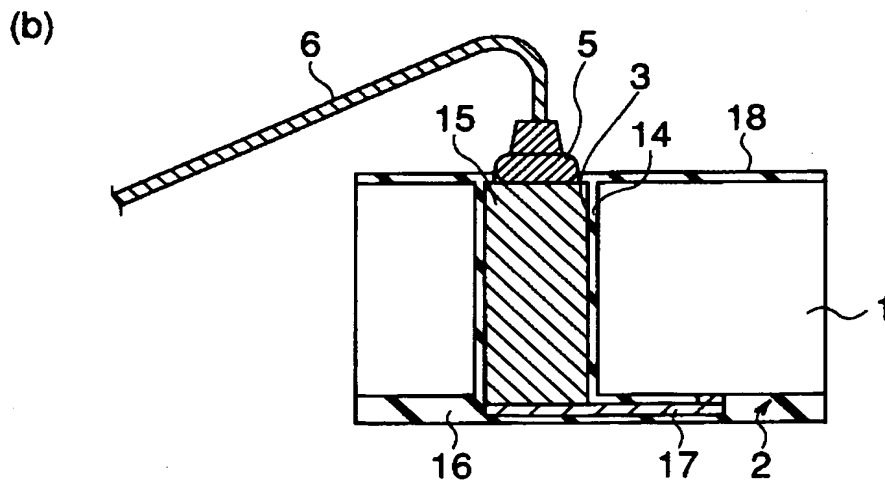
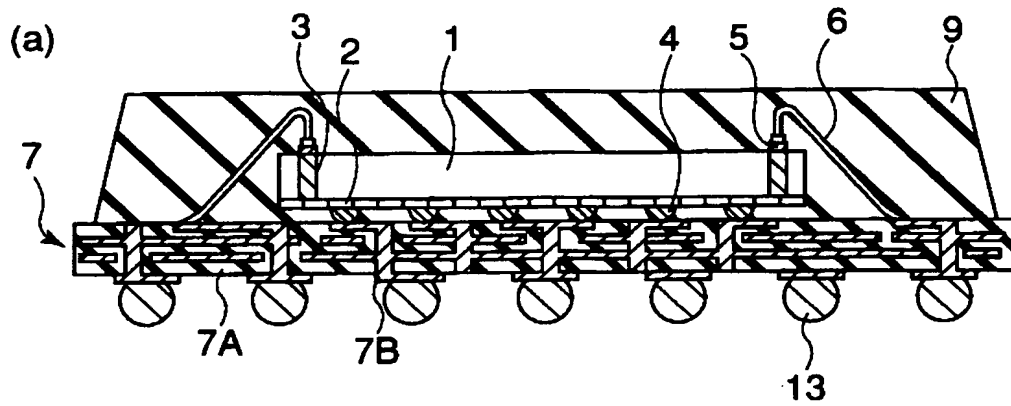
【符号の説明】

- 1, 1-1, 1-2, 21…半導体チップ、
- 2, 2-1, 2-2, 22…半導体素子の形成面、
- 3…貫通穴、
- 4, 4-1, 4-2, 23…第 1 の接続端子、
- 5…第 2 の接続端子、
- 6…ボンディングワイヤー、
- 7…配線基板、
- 7A…絶縁性の基板、
- 7B…配線層（第 3 の接続端子）、
- 7'…TAB テープ、
- 8…リードフレーム、
- 9, 9', 26…パッケージ、
- 10…ヒートスラグ、
- 11…高放熱樹脂、
- 12…ビームリード、

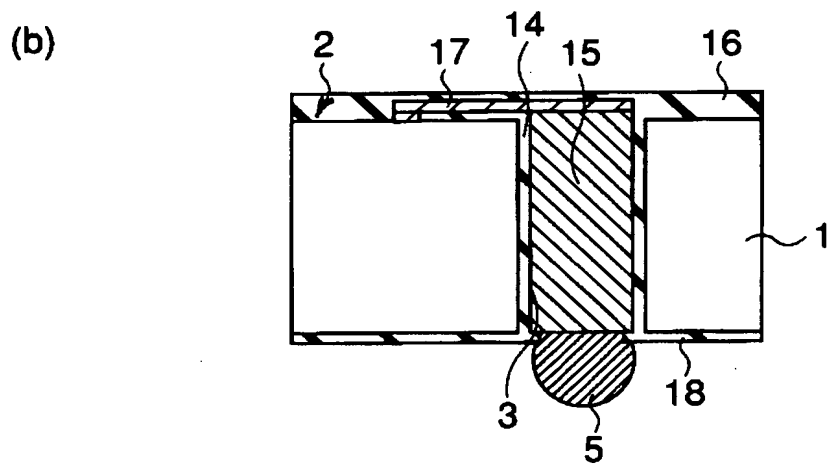
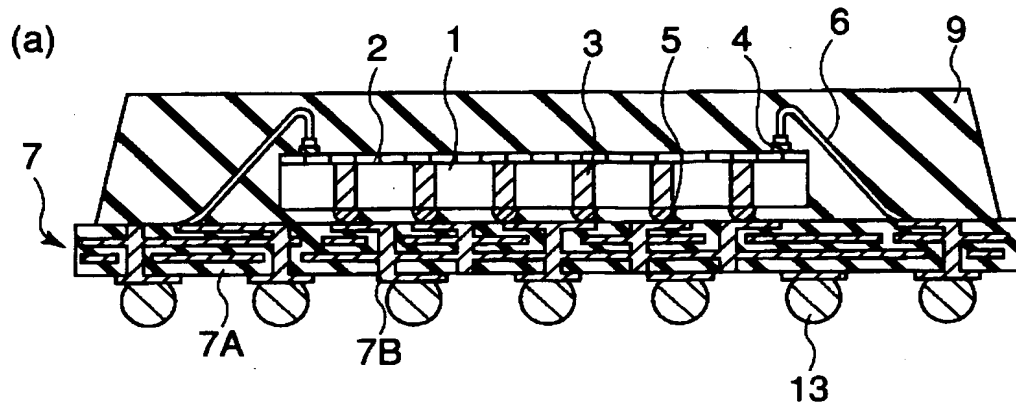
- 1 3 …導電性バンプ（第 4 の接続端子）、
- 1 4 …側面絶縁膜、
- 1 5 …埋め込み金属（導電性部材）、
- 1 6 …層間絶縁膜及び表面保護絶縁膜、
- 1 7 …チップ内配線、
- 1 8 …裏面絶縁膜、
- 2 4 …微細配線基板。

【書類名】 図面

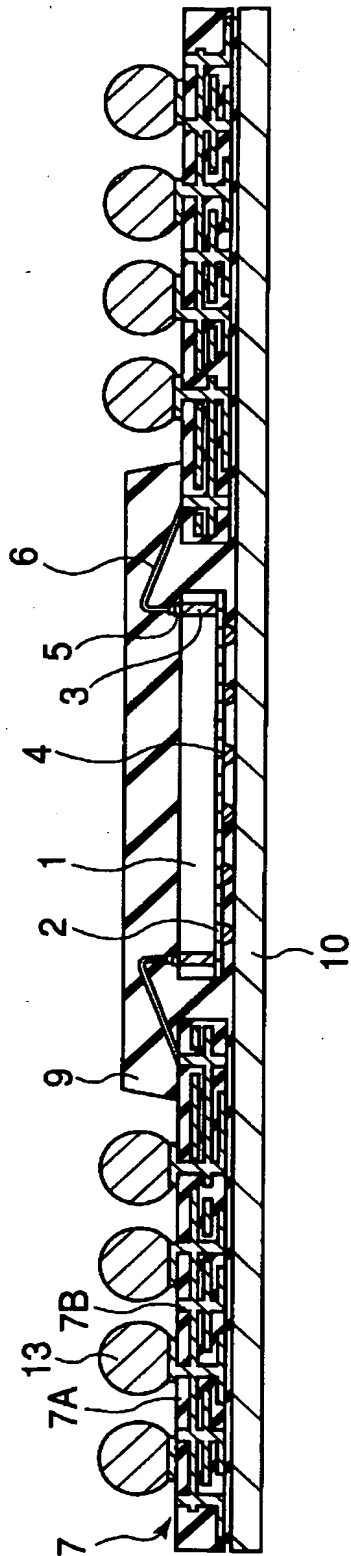
【図 1】



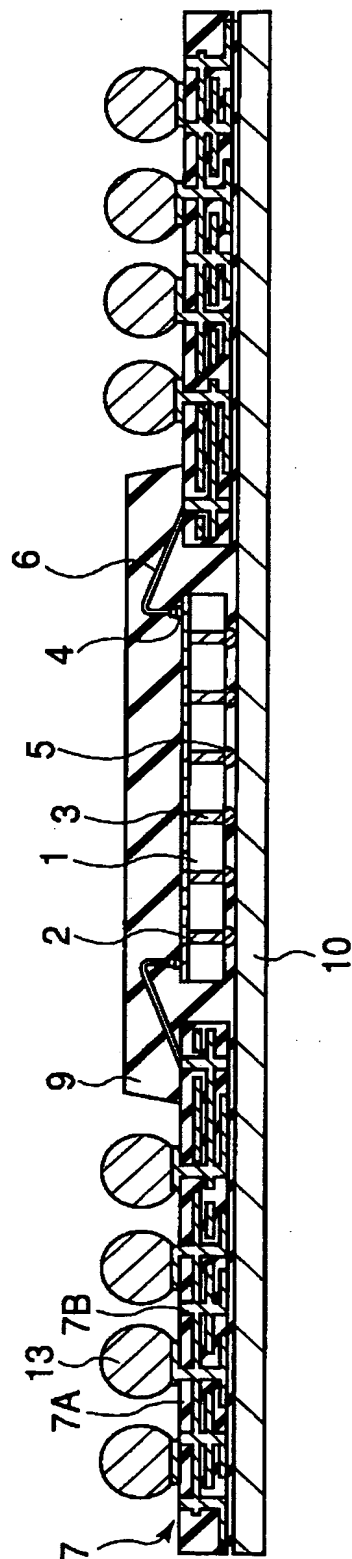
【図 2】



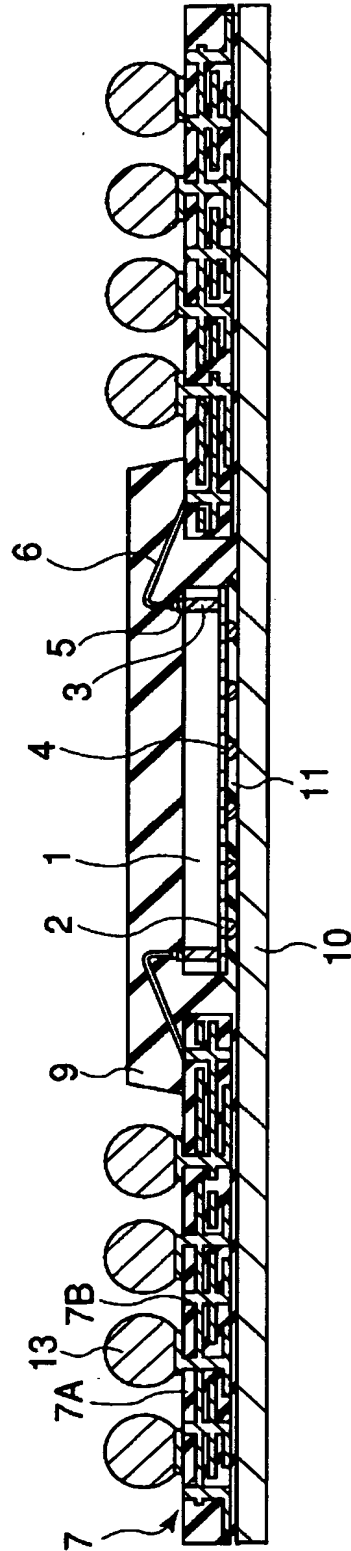
【図 5】



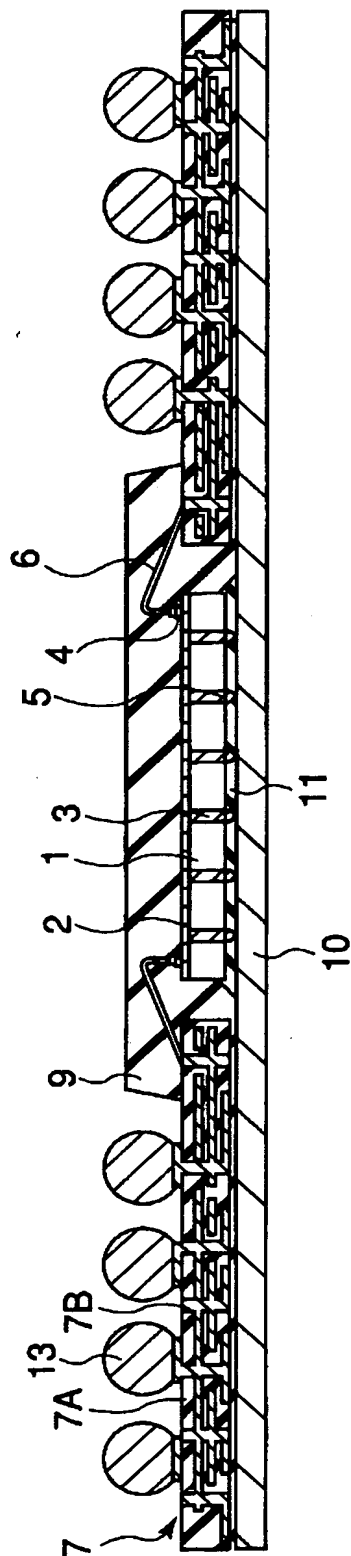
【図 6】



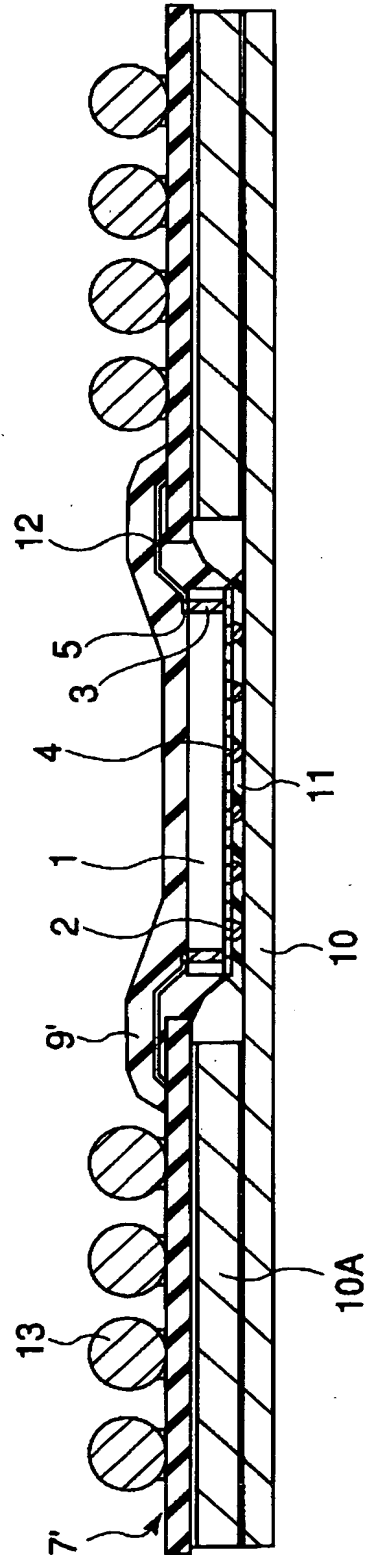
【図 7】



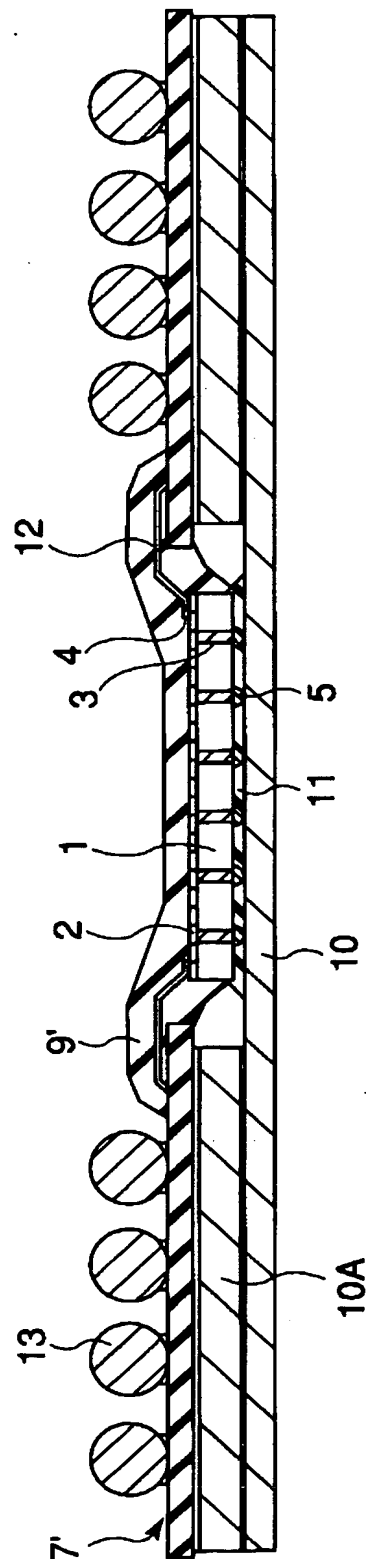
【図 8】



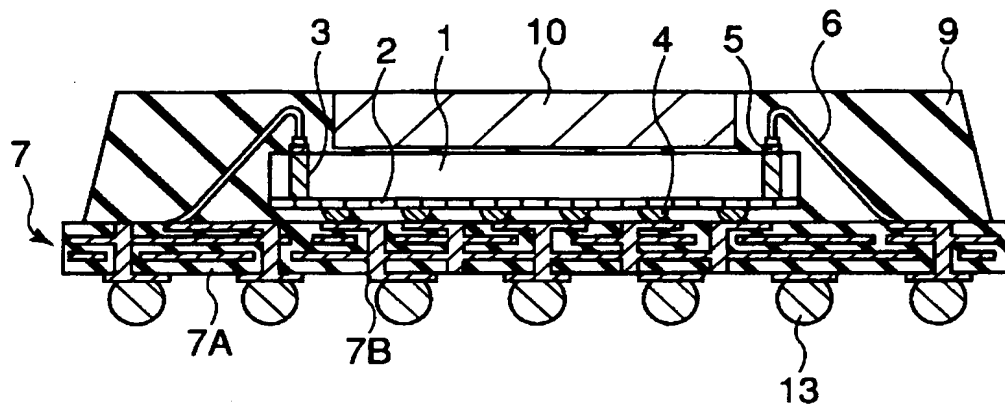
【図9】



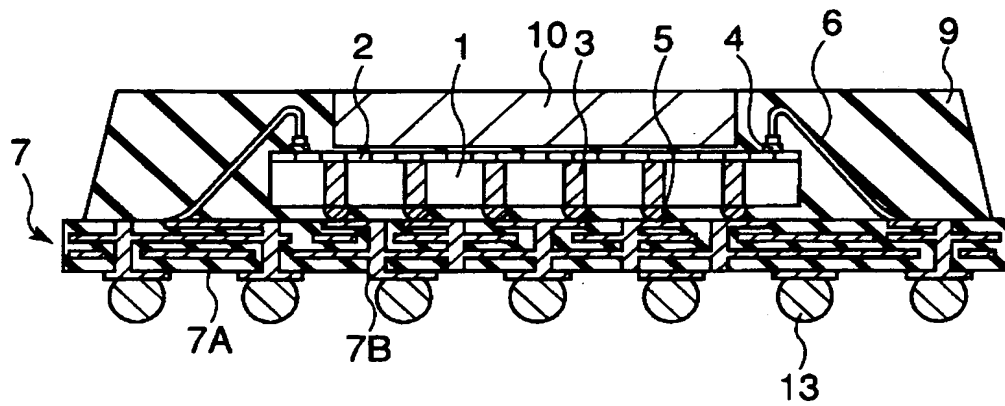
【図 1 0】



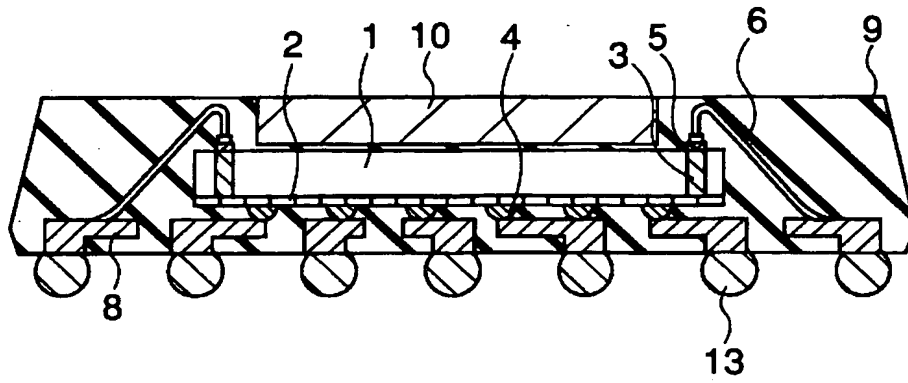
【図 1 1】



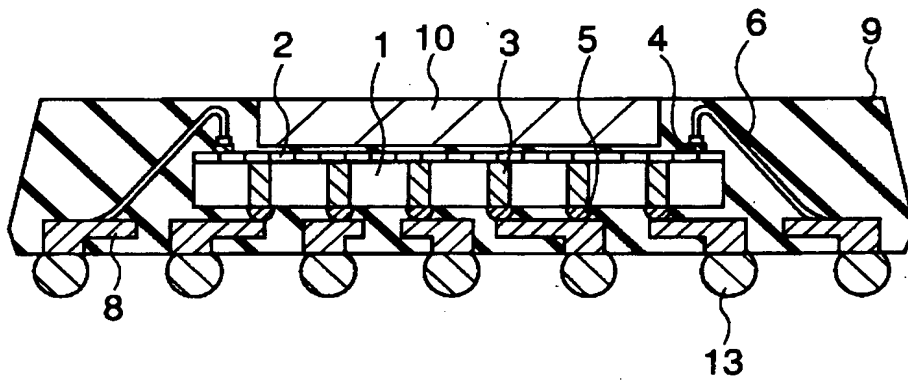
【図 1 2】



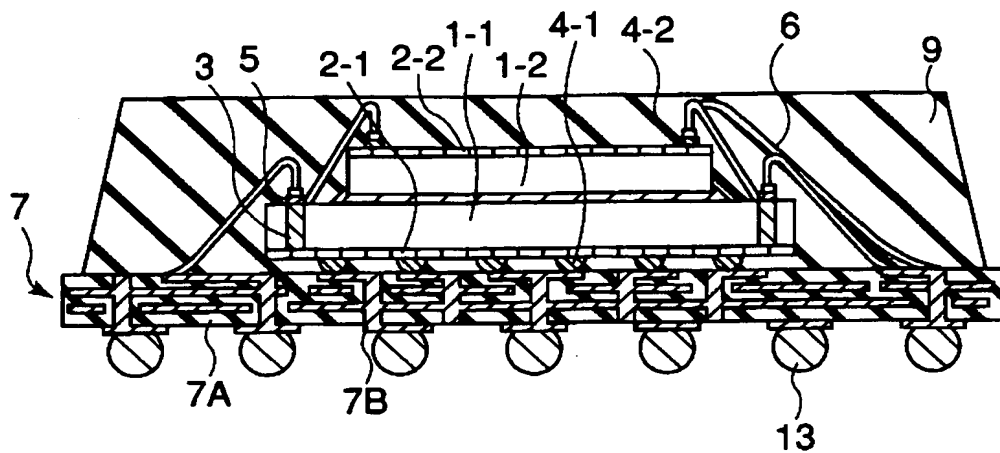
【図 1 3】



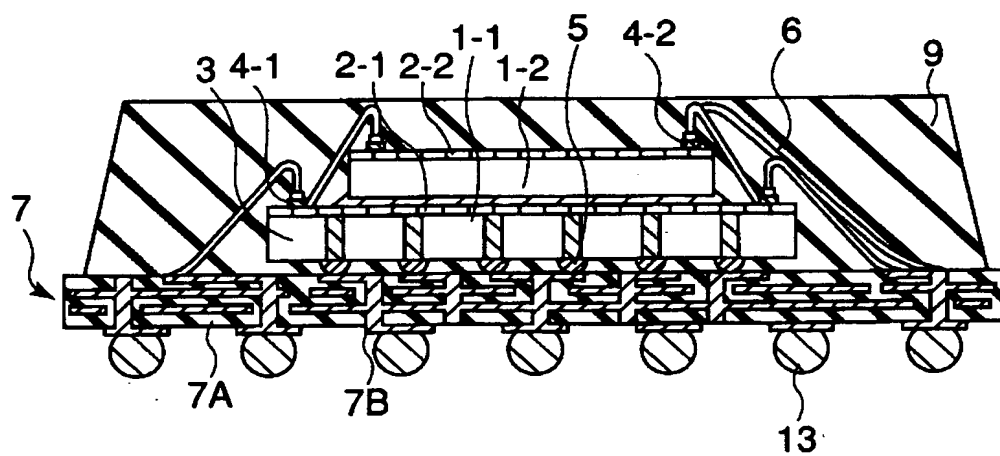
【図 1 4】



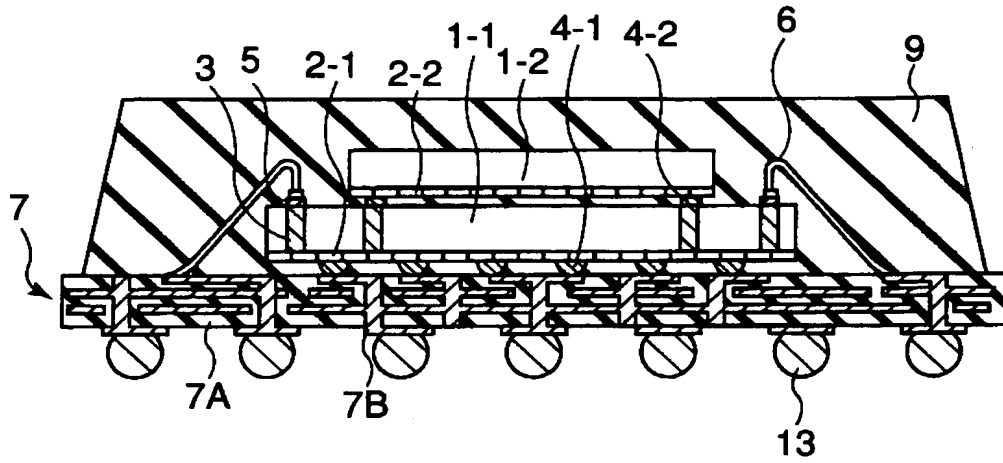
【図 15】



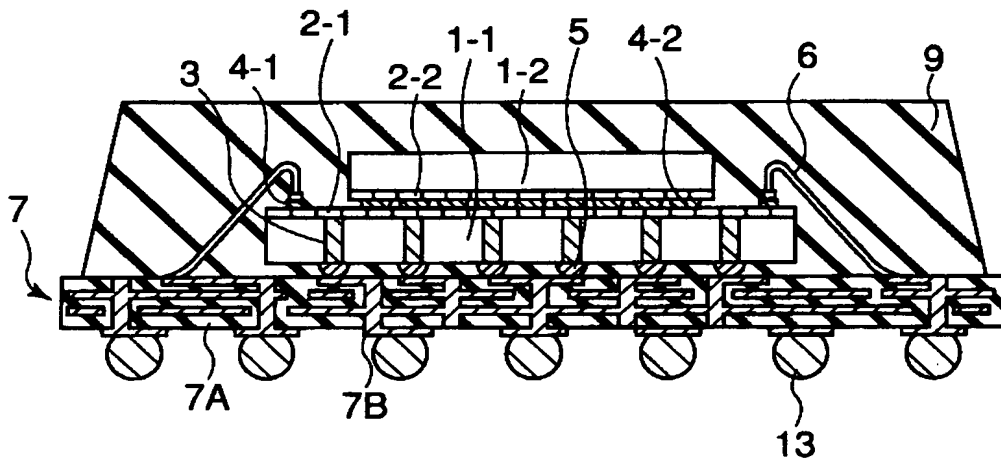
【图 16】



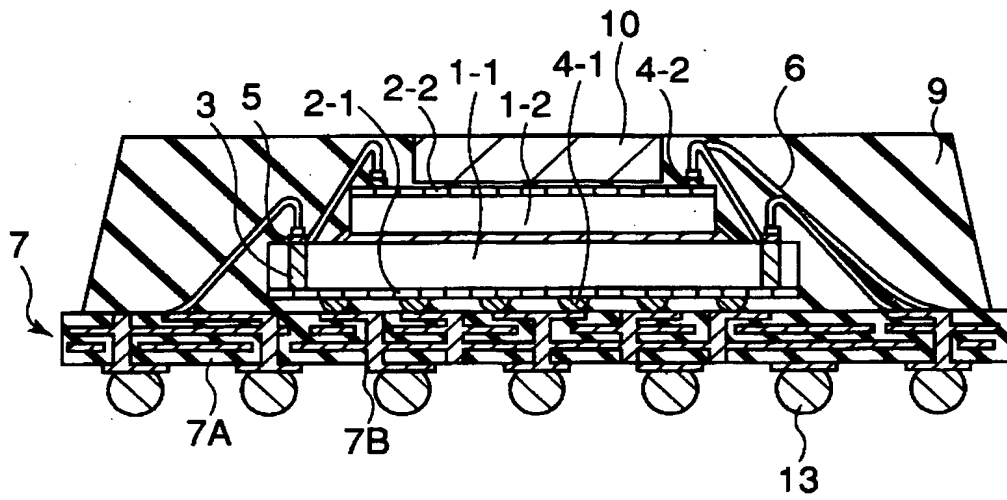
【図 17】



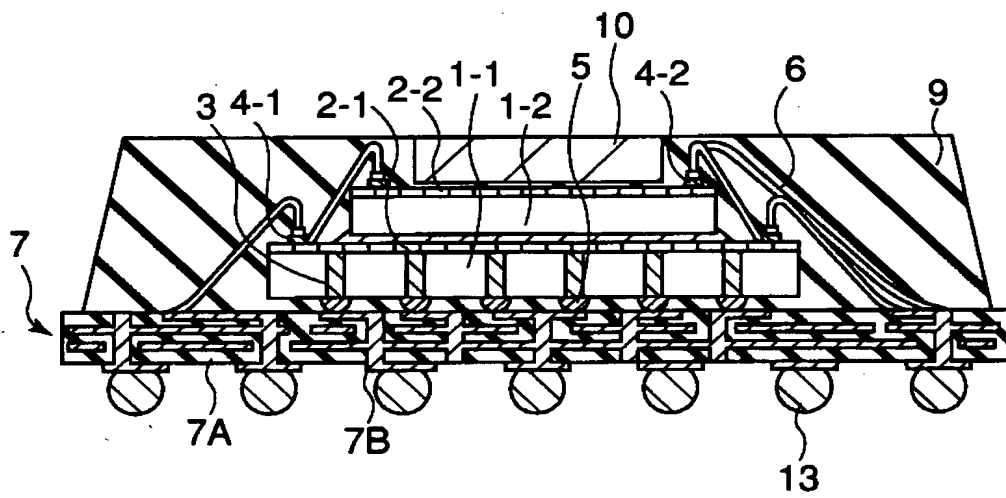
【図 18】



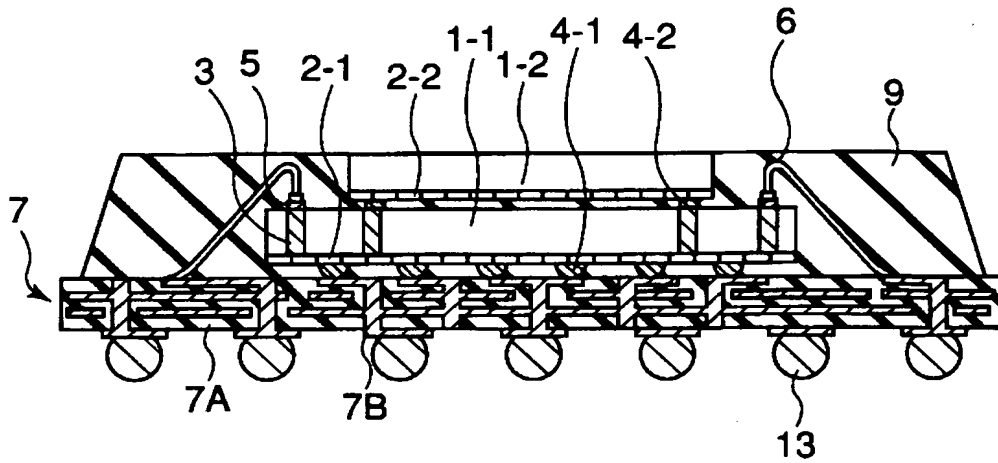
【図 1 9】



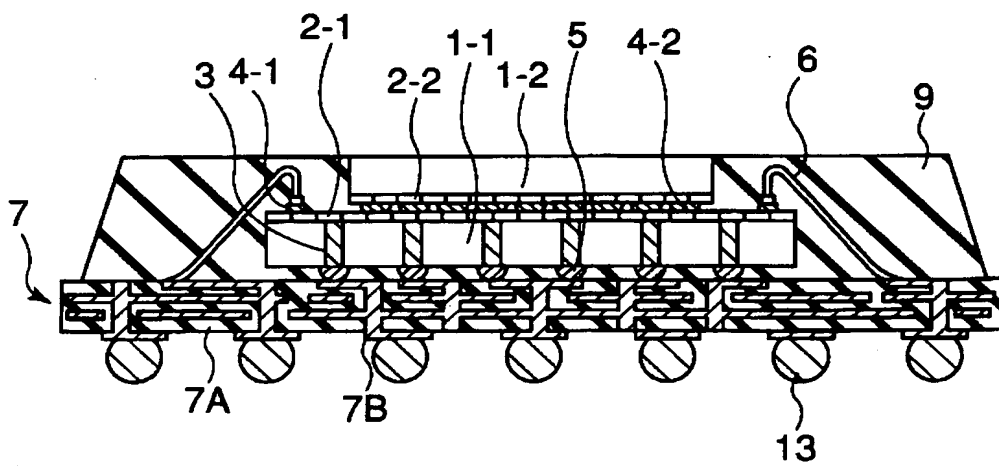
【図 2 0】



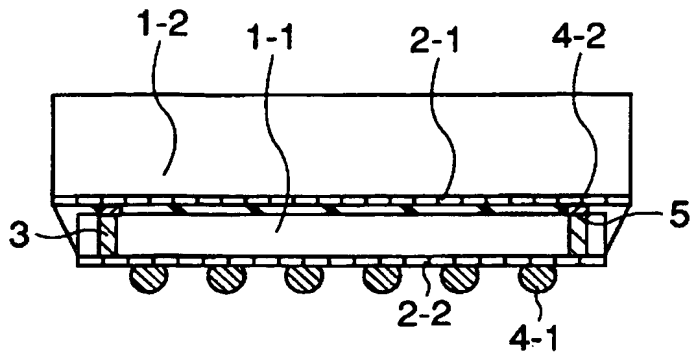
【図 2 1】



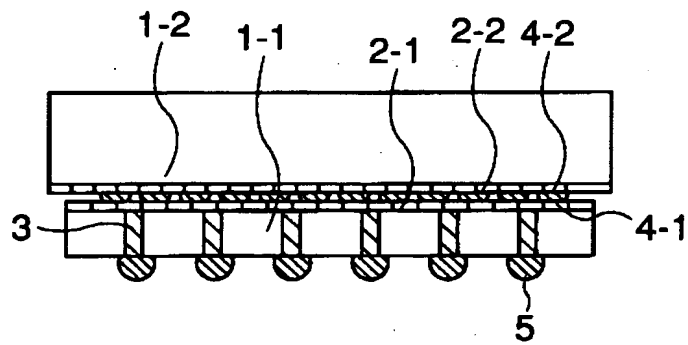
【図 2 2】



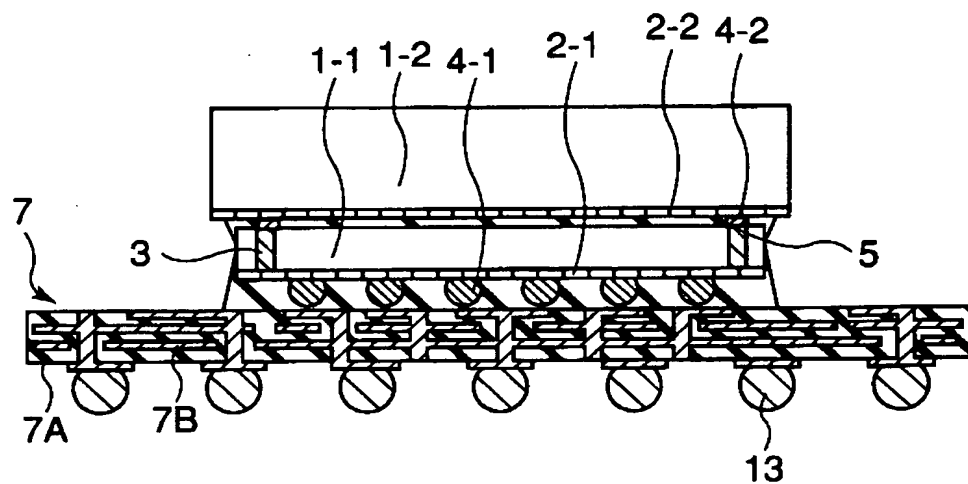
【図 2 3】



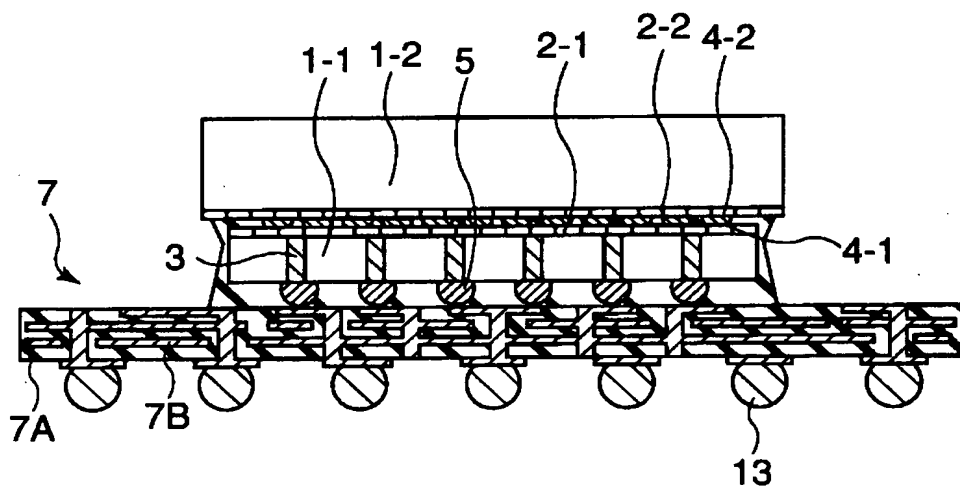
【図 2 4】



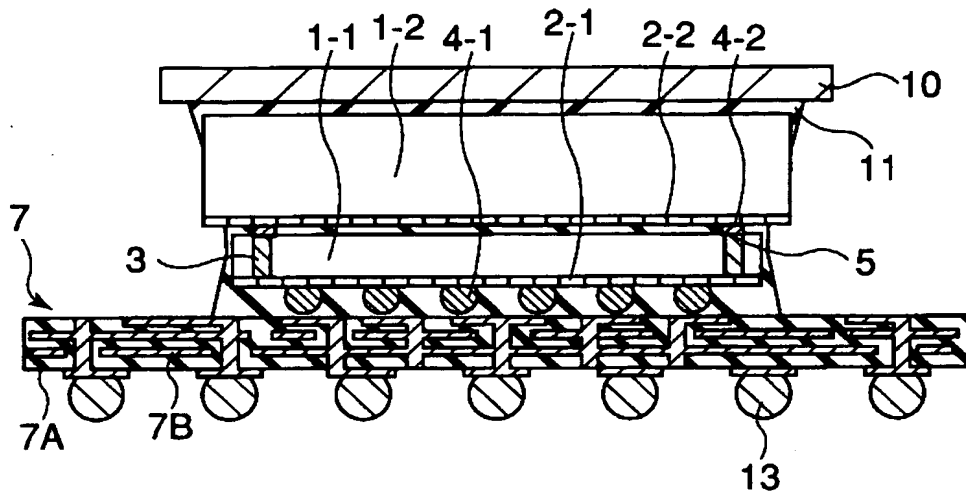
【図 25】



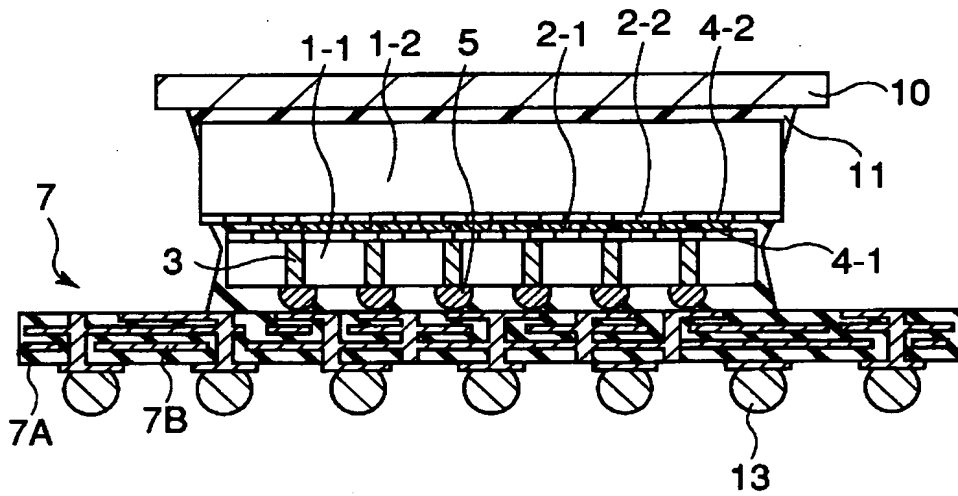
【図 26】



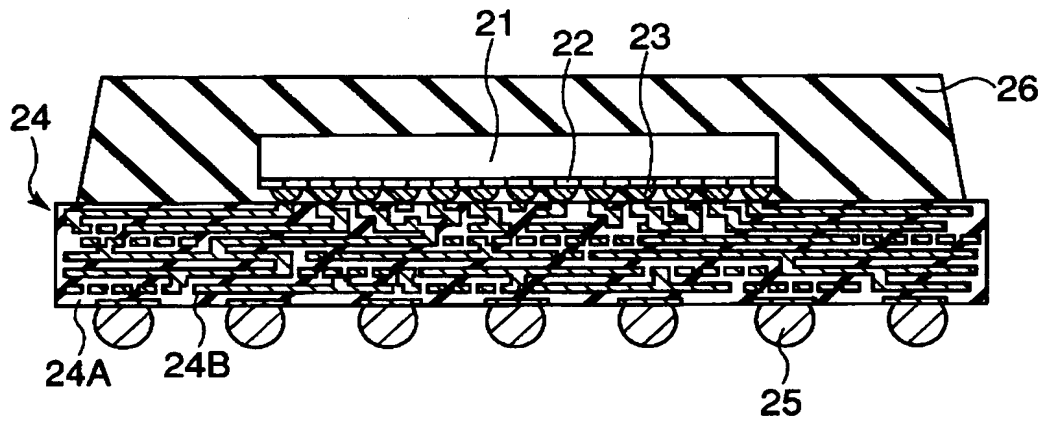
【図 2 7】



【図 2 8】



【図 2 9】



【書類名】 要約書

【要約】

【課題】 必要な機能を最小限のコストで実現でき、半導体チップ内部での電圧降下も抑制できる半導体装置を提供することを目的としている。

【解決手段】 半導体チップ 1 を、素子形成面 2 を配線基板 7 に対向させて配置し、チップの全域に分散されて形成した導電性バンプ 4 により配線基板に搭載する。配線基板におけるチップの搭載面側には、バンプに対応する位置に配線層 7 B を形成する。この配線層は、実装基板に接続するための導電性バンプ 1 3 と電氣的に接続する。チップの外周部には導電性部材 1 5 を埋設した貫通穴 3 を設け、チップ裏面の導電性部材 1 5 上に接続端子 5 を形成する。そして、この接続端子 5 と配線基板の配線層とを、ボンディングワイヤー 6 によって接続したことを特徴とする。接続端子をチップの両面に設けたので、接続密度を増大させずに、接続端子数を増加させることができる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 神奈川県川崎市幸区堀川町72番地
氏 名 株式会社東芝
2. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝